

Docket No.: 60188-733

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Yuji YAMASAKI, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: December 15, 2003	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR MEMORY DEVICE AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2002-379239, filed December 27, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: December 15, 2003

60188-733
YAMASAKI et al.
December 15, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 7 日
Date of Application:

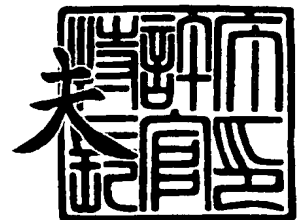
出 願 番 号 特 願 2 0 0 2 - 3 7 9 2 3 9
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 7 9 2 3 9]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 3 年 9 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 9 5 4 9

【書類名】 特許願

【整理番号】 5037640178

【提出日】 平成14年12月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/407

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 山崎 裕之

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 広瀬 雅庸

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及び半導体集積回路装置

【特許請求の範囲】

【請求項 1】 ワード線と、

上記ワード線と交差する第 1 のビット線と、

上記第 1 のビット線とビット線対を形成する第 2 のビット線と、

ゲート電極が上記ワード線に接続され、第 1 の拡散層が上記第 1 のビット線に接続された M I S F E T であるアクセストランジスタと、上記アクセストランジスタの第 2 拡散層に接続され、電荷を保持可能なセルキャパシタとを有し、上記ワード線と上記第 1 のビット線との交点に配置されたメモリセルと、

読み出し動作の際に、上記第 1 のビット線と上記第 2 のビット線との間に生じる微小な電位差を増幅するためのセンスアンプと

を備え、接地電圧及び正の電源電圧が供給された半導体記憶装置であって、

上記アクセストランジスタはデプレッション型の p チャネル型 M I S F E T であり、

上記メモリセルの活性化時には上記ワード線を介して上記アクセストランジスタのゲート電極に上記接地電圧が印加される半導体記憶装置。

【請求項 2】 請求項 1 に記載の半導体記憶装置において、

上記セルキャパシタは p チャネル型 M I S F E T であることを特徴とする半導体記憶装置。

【請求項 3】 請求項 2 に記載の半導体記憶装置において、

上記セルキャパシタはプレーナ型の M I S F E T であることを特徴とする半導体記憶装置。

【請求項 4】 請求項 2 または 3 に記載の半導体記憶装置において、

上記セルキャパシタはデプレッション型 M I S F E T であり、

動作期間中は、上記セルキャパシタのゲート電極に上記接地電圧が印加されていることを特徴とする半導体記憶装置。

【請求項 5】 請求項 1 ～ 4 のうちいずれか 1 つに記載の半導体記憶装置において、

上記アクセストランジスタと上記セルキャパシタとは、上記正の電源電圧が印加された共通の基板または共通のN型ウェルを有し、

上記第1のビット線は、ハイレベルの際には上記正の電源電圧が印加され、ローレベルの際には上記接地電圧が印加されることを特徴とする半導体記憶装置。

【請求項6】 請求項1～5のうちいずれか1つに記載の半導体記憶装置において、

上記センスアンプは、

1対のpチャネル型MISFETを含み、上記ビット線対間の電位差を増幅するための増幅回路と、

上記増幅回路の駆動を制御し、上記1対のpチャネル型MISFETよりも低いしきい値を有するpチャネル型ドライブMISトランジスタとを有していることを特徴とする半導体記憶装置。

【請求項7】 請求項6に記載の半導体記憶装置において、

上記1対のpチャネル型MISFETはデプレッション型MISFETであることを特徴とする半導体記憶装置。

【請求項8】 請求項1～7のうちいずれか1つに記載の半導体記憶装置において、

上記メモリセルが非活性状態にある期間に上記第1のビット線と上記第2のビット線間を短絡させるためのデプレッション型のpチャネル型MISFETであるビット線イコライズトランジスタと、

上記メモリセルが非活性状態にある期間に上記ビット線対に一定電圧を印加するためのデプレッション型のpチャネル型MISFETであるビット線プリチャージトランジスタとを有するプリチャージ・イコライズ回路をさらに備えていることを特徴とする半導体記憶装置。

【請求項9】 請求項8に記載の半導体記憶装置において、

上記ビット線プリチャージトランジスタ及び上記ビット線プリチャージトランジスタの各ゲート電極には、上記メモリセルが非活性状態にある期間中しきい値電圧以下の電圧が印加されることを特徴とする半導体記憶装置。

【請求項 10】 請求項 8 または 9 に記載の半導体記憶装置において、
上記アクセストランジスタ、上記ビット線イコライズトランジスタ、ビット線プリチャージトランジスタ及び上記センスアンプ内の上記 1 対の p チャンネル型 M I S F E T は、互いに共通の工程により形成されることを特徴とする半導体記憶装置。

【請求項 11】 ワード線と、
上記ワード線と交差する第 1 のビット線と、
上記第 1 のビット線とビット線対を形成する第 2 のビット線と、
ゲート電極が上記ワード線に接続され、第 1 の拡散層が上記第 1 のビット線に接続された M I S F E T であるアクセストランジスタと、上記アクセストランジスタの第 2 拡散層に接続され、電荷を保持可能なセルキャパシタとを有し、上記ワード線と上記第 1 のビット線との交点に配置されたメモリセルと、
読み出し動作の際に、上記第 1 のビット線と上記第 2 のビット線との間に生じる微小な電位差を増幅するためのセンスアンプと
を備え、接地電圧及び正の電源電圧が供給された半導体記憶装置であって、
上記アクセストランジスタはデプレッション型の n チャンネル型 M I S F E T であり、
上記メモリセルの活性化時には上記ワード線を介して上記アクセストランジスタのゲート電極に上記正の電源電圧が印加される半導体記憶装置。

【請求項 12】 請求項 11 に記載の半導体記憶装置において、
上記セルキャパシタは n チャンネル型 M I S F E T であることを特徴とする半導体記憶装置。

【請求項 13】 請求項 11 または 12 に記載の半導体記憶装置において、
上記センスアンプは、
1 対の n チャンネル型 M I S F E T を含み、上記ビット線対間の電位差を増幅するための増幅回路と、
上記増幅回路の駆動を制御し、上記 1 対の n チャンネル型 M I S F E T よりも高いしきい値を有する n チャンネル型ドライブ M I S トランジスタと
を有していることを特徴とする半導体記憶装置。

【請求項 14】 p チャンネル型MISFETを有し、基板上に集積化された論理回路と、

上記論理回路と同一基板上に設けられ、ワード線と、上記ワード線と交差する第1のビット線と、上記第1のビット線とビット線対を形成する第2のビット線と、ゲート電極が上記ワード線に接続され、第1の拡散層が上記第1のビット線に接続されたpチャンネル型MISFETであるアクセストランジスタと、上記アクセストランジスタの第2拡散層に接続され、電荷を保持可能なセルキャパシタとを有し、上記ワード線と上記第1のビット線との交点に配置されたメモリセルと、読み出し動作の際に、上記第1のビット線と上記第2のビット線との間に生じる微小な電位差を増幅するためのセンスアンプとを有するダイナミック型半導体記憶装置とを備え、

上記アクセストランジスタのしきい値は、上記論理回路に設けられたpチャンネル型MISFETのしきい値よりも高く設定される半導体集積回路装置。

【請求項 15】 請求項 14 に記載の半導体集積回路装置において、

上記アクセストランジスタは、デプレッション型MISFETであり、

上記メモリセルの活性化時には、上記ワード線を介して上記アクセストランジスタのゲート電極に上記接地電圧が印加されることを特徴とする半導体集積回路装置。

【請求項 16】 請求項 14 または 15 に記載の半導体集積回路装置において、

上記セルキャパシタはpチャンネル型MISFETであることを特徴とする半導体集積回路装置。

【請求項 17】 請求項 16 に記載の半導体集積回路装置において、

上記セルキャパシタはプレーナ型のMISFETであることを特徴とする半導体集積回路装置。

【請求項 18】 請求項 14 ～ 17 のうちいずれか 1 つに記載の半導体集積回路装置において、

上記セルキャパシタはデプレッション型MISFETであり、

動作期間中は、上記セルキャパシタのゲート電極に上記接地電圧が印加されていることを特徴とする半導体集積回路装置。

【請求項 19】 請求項 15～18 のうちいずれか 1 つに記載の半導体集積回路装置において、

上記アクセストランジスタは、上記論理回路内の p チャネル型 MISFET のゲート絶縁膜よりも厚いゲート絶縁膜を有していることを特徴とする半導体集積回路装置。

【請求項 20】 請求項 15～19 のうちいずれか 1 つに記載の半導体集積回路装置において、

上記アクセストランジスタのゲート絶縁膜の厚さと上記セルキャパシタのゲート絶縁膜の厚さは等しいことを特徴とする半導体集積回路装置。

【請求項 21】 請求項 14～20 のうちいずれか 1 つに記載の半導体集積回路装置において、

上記アクセストランジスタと上記セルキャパシタとは、上記正の電源電圧が印加された共通の基板または共通の N 型ウェルを有し、

上記第 1 のビット線は、ハイレベルの際には上記正の電源電圧が印加され、ローレベルの際には上記接地電圧が印加されることを特徴とする半導体集積回路装置。

【請求項 22】 請求項 14～21 のうちいずれか 1 つに記載の半導体集積回路装置において、

上記センスアンプは、

1 対の p チャネル型 MISFET を含み、上記ビット線対間の電位差を増幅するための増幅回路と、

上記増幅回路の駆動を制御し、上記 1 対の p チャネル型 MISFET よりも低いしきい値を有する p チャネル型ドライブ MIS トランジスタとを有していることを特徴とする半導体集積回路装置。

【請求項 23】 請求項 22 に記載の半導体集積回路装置において、

上記 1 対の p チャネル型 MISFET はデプレッション型 MISFET であることを特徴とする半導体集積回路装置。

【請求項 24】 請求項 22 または 23 に記載の半導体集積回路装置において、

上記ダイナミック型半導体記憶装置は、

上記メモリセルが非活性状態にある期間に上記第 1 のビット線と上記第 2 のビット線間を短絡させるためのデプレッション型の p チャンネル型 MISFET であるビット線イコライズトランジスタと、

上記メモリセルが非活性状態にある期間に上記ビット線対に一定電圧を印加するためのデプレッション型の p チャンネル型 MISFET であるビット線プリチャージトランジスタと

を有するプリチャージ・イコライズ回路をさらに有していることを特徴とする半導体集積回路装置。

【請求項 25】 請求項 24 に記載の半導体集積回路装置において、

上記ビット線プリチャージトランジスタ及び上記ビット線プリチャージトランジスタの各ゲート電極には、上記メモリセルが非活性状態にある期間中しきい値電圧以下の電圧が印加されることを特徴とする半導体集積回路装置。

【請求項 26】 請求項 14 ～ 25 のうちいずれか 1 つに記載に半導体集積回路装置において、

上記ダイナミック型半導体記憶装置は、上記論理回路と共通の論理プロセスによって形成されることを特徴とする半導体集積回路装置。

【請求項 27】 n チャンネル型 MISFET を有し、基板上に集積化された論理回路と、

上記論理回路と同一基板上に設けられ、ワード線と、上記ワード線と交差する第 1 のビット線と、上記第 1 のビット線とビット線対を形成する第 2 のビット線と、ゲート電極が上記ワード線に接続され、第 1 の拡散層が上記第 1 のビット線に接続された n チャンネル型 MISFET であるアクセストランジスタと、上記アクセストランジスタの第 2 拡散層に接続され、電荷を保持可能なセルキャパシタとを有し、上記ワード線と上記第 1 のビット線との交点に配置されたメモリセルと、上記第 1 のビット線と上記第 2 のビット線との間に設けられ、読み出し動作の際に、上記第 1 のビット線と上記第 2 のビット線との間に生じる微小な電位差

を増幅するためのセンスアンプとを有するダイナミック型半導体記憶装置とを備え、

上記アクセストランジスタのしきい値は、上記論理回路に設けられた n チャネル型 M I S F E T のしきい値よりも低く設定される半導体集積回路装置。

【請求項 28】 請求項 27 に記載の半導体集積回路装置において、
上記アクセストランジスタは、デプレッション型 M I S F E T であり、
上記メモリセルの活性化時には、上記ワード線を介して上記アクセストランジスタのゲート電極に上記正の電源電圧が印加されることを特徴とする半導体集積回路装置。

【請求項 29】 請求項 27 または 28 に記載の半導体集積回路装置において、

上記セルキャパシタは n チャネル型 M I S F E T であることを特徴とする半導体集積回路装置。

【請求項 30】 請求項 27 ～ 29 のうちいずれか 1 つに記載の半導体集積回路装置において、

上記センスアンプは、

1 対の n チャネル型 M I S F E T を含み、上記ビット線対間の電位差を増幅するための増幅回路と、

上記増幅回路の駆動を制御し、上記 1 対の n チャネル型 M I S F E T よりも高いしきい値を有する n チャネル型ドライブ M I S トランジスタとを有していることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体記憶装置に関し、特に、論理プロセスを用いて形成されるダイナミック型半導体記憶装置及び該ダイナミック型半導体装置と論理回路を併設した半導体集積回路装置に関する。

【0002】

【従来の技術】

近年のダイナミック型半導体記憶装置（DRAM）は、大容量化、微細化が進むとともに駆動電圧の低電圧化が進み、その駆動電圧は、0.18 μm プロセス世代では1.8 V、0.15 μm 世代では1.5 V、さらには、0.13 μm 世代では1.2 Vと、1 Vに迫るところまできている。

【0003】

そのような中、低電圧での動作余裕度を確保するために、DRAMの回路には様々な工夫がなされている。例えば、1つのトランジスタと1つのキャパシタで構成されるDRAM（1T1C構成のDRAM）や、NMOSメモリセルタイプのDRAMでは、アクセストランジスタ（以下、「アクセスTr」と称する）のしきい値電圧（以下、 V_t と呼ぶ）を通常の論理トランジスタまたは周辺回路のTrよりも大きく設定してリーク電流を低減することや、ワード線を昇圧し、メモリセルへの書き込み電荷量を最大化することなどが行われる。ここで、ワード線を昇圧する際には電源電圧よりもアクセスTrのしきい値電圧分以上高い電圧に昇圧する。ただし、この構成の場合、アクセスTrが昇圧電位に耐えられるように、ゲート酸化膜の厚いTrを使用する等の工夫が必要となる。

【0004】

このようなバイアス構成は、近年のメガビットクラス以上のDRAMにおいて動作余裕度の確保のために広く用いられている。また、メモリセル領域下の基板電位を負に設定することにより、アクセスTrのリーク電流低減、基板バイアス効果の影響低減等を狙った構成も広く用いられている。

【0005】

さらに、近年のシステムLSIにおいて、特に注目されている技術の1つに、論理プロセスを用いてDRAMを形成させる技術があり、例えば、特表2002-522871号公報「論理プロセスに組み入れられたDRAM用のチップ上でのワード線電圧発生」（特許文献1）にその例が記載されている。

【0006】

図16は、論理プロセスを用いてDRAMを形成させた場合のDRAMのメモリセルの構成図を示している。

【0007】

同図に示すDRAMは、互いに交差するワード線1001及びビット線1002と、ワード線1001とビット線1002との交点付近に設けられたメモリセルとを備えている。そして、このメモリセルは、ゲート電極にワード線1001が接続され、一端がビット線1002に接続されたpチャネル型MOSFETであるアクセストランジスタ（アクセスTr）1003と、アクセスTr1003の他端に接続され、キャパシタとして機能するpチャネル型MOSFETであるセルキャパシタ1004とを有している。セルキャパシタ1004はセルプレート電極1006を有しており、該セルプレート電極1006の電位は第1の負昇圧電位 V_{BB1} （ $0V > V_{BB1}$ ）となっている。また、アクセスTr1003とセルキャパシタ1004に共通の基板またはウェル電極1005の電位は第1の昇圧電位 V_{pp1} となっている。

【0008】

上述の論理プロセスで形成されたDRAMでは、論理ゲートに用いられるものと同じ構造のMOSトランジスタを使ってセルキャパシタとアクセスTrを構成しており、DRAMの動作余裕度の拡大（特に低電圧動作）と電荷保持特性を両立させるために、ワード線やセルプレート、基板電位（ウェル電位）のバイアス構成に下記のような工夫が加えられている。

【0009】

まず、ワード線1001の活性時の電位は、電源電位 V_{DD} より高い第2の昇圧電位 V_{pp2} とされており、メモリセルストレージノード1007への書き込み電荷量を最大化して動作余裕度を確保することが行われている。また、ワード線1001の非活性時の電位を、接地電位 V_{SS} より低い第2の負昇圧電位 V_{BB2} とし、アクセスTr1003からのリーク電流の低減を図っている。さらに、アクセスTr1003の基板電位を第1の昇圧電位 V_{pp1} （ $> V_{DD}$ ）とすることでもリーク電流を抑えている。これらの方法により、メモリセルの電荷保持特性を向上させることができる。

【0010】

また、セルプレート電極1006の電位を V_{BB1} （ $< V_{SS}$ ）に設定してセルキャパシタ1004を常にチャネル形成状態に保つことにより、ビット線1002

からメモリセルストレージノード1007への書き込み電位によらず、セルキャパシタ1004のセル容量を、安定的に確保している。

【0011】

このように、論理プロセスで形成される従来のDRAMでは、ワード線の電位が活性時に昇圧、非活性時に負昇圧され、また、セルプレート電位を負昇圧、さらには、基板電位を昇圧することにより、メモリセルの所望の特性を確保している。

【0012】

【特許文献1】

特表2002-522871号公報（図3-A）

【特許文献2】

特開平06-333386号公報

【特許文献3】

特開昭57-111880

【0013】

【発明が解決しようとする課題】

上述のDRAMの構成を採る場合、アクセスTrの動作余裕度が増し、リーク電流を減らすことも可能である。しかしながら、従来のDRAMで記憶動作をさせるためには、電源電位 V_{DD} 、接地電位 V_{SS} の他に、ワード線用の第2の負昇圧電位 V_{BB2} 及び第2の昇圧電位 V_{pp2} 、セルプレート電極用のバイアス用電位 V_{BB1} 、さらには基板（ウエル）バイアス用の昇圧電位 V_{pp1} の4つのバイアス電圧源が必要であった。そのため、チップ内部でバイアス電圧の数だけバイアス用回路または電源回路を搭載する必要があった。また、ワード線のバイアスについては、 V_{pp2} ($> V_{DD}$) と V_{BB2} ($< V_{SS}$) の2つのバイアスを制御するためのドライバ回路も必要であった。従って、これらの構成を実現させた場合、回路が複雑になる上に、バイアス回路やドライバ回路が必要になるため、LSI上のチップ面積を著しく増大させてしまうというデメリットがあった。

【0014】

本発明の目的は、微細化が進み、電源電圧が低電圧化しても動作可能であり、

簡単な構成で実現でき、且つ論理プロセスで容易に形成可能な半導体記憶装置を提供することにある。

【0015】

【課題を解決するための手段】

本発明の第1の半導体記憶装置は、ワード線と、上記ワード線と交差する第1のビット線と、上記第1のビット線とビット線対を形成する第2のビット線と、ゲート電極が上記ワード線に接続され、第1の拡散層が上記第1のビット線に接続されたMISFETであるアクセストランジスタと、上記アクセストランジスタの第2拡散層に接続され、電荷を保持可能なセルキャパシタとを有し、上記ワード線と上記第1のビット線との交点に配置されたメモリセルと、読み出し動作の際に、上記第1のビット線と上記第2のビット線との間に生じる微小な電位差を増幅するためのセンスアンプとを備え、接地電圧及び正の電源電圧が供給された半導体記憶装置であって、上記アクセストランジスタはデプレッション型のpチャネル型MISFETであり、メモリセルの活性化時には上記ワード線を介して上記アクセストランジスタのゲート電極に上記接地電圧が印加される。

【0016】

これにより、アクセストランジスタの動作マージンを従来のDRAMに比べて大きくとることができるので、微細化が進んで駆動電圧（正の電源電圧）が例えば1.5V以下に低電圧化しても、安定して動作させることが可能になる。また、メモリセルの活性化時にアクセストランジスタのゲート電極に負電圧を印加する必要がなくなる。従って、電源回路またはバイアス用回路数を減らすことができるので、制御が簡略化すると共に、回路面積も縮小することができる。

【0017】

また、上記セルキャパシタはpチャネル型MISFETであることにより、アクセストランジスタと共通の工程で製造することが可能になる。論理プロセスで作製することも可能になるので、論理回路と混載する場合には、製造工程数を減らすことが可能になる。

【0018】

上記セルキャパシタはプレーナ型のMISFETであることにより、さらに容

易に製造することが可能となる。

【0019】

上記セルキャパシタはデプレッション型MISFETであり、動作期間中は、上記セルキャパシタのゲート電極に上記接地電圧が印加されていることにより、従来必要であった負の昇圧電圧源が不要になるので、回路動作の制御がより簡略化できる上、回路面積も縮小できる。

【0020】

上記アクセストランジスタと上記セルキャパシタとは、上記正の電源電圧が印加された共通の基板または共通のN型ウェルを有し、上記第1のビット線は、ハイレベルの際には上記正の電源電圧が印加され、ローレベルの際には上記接地電圧が印加されることにより、昇圧電圧を基板又はN型ウェルに印加する場合よりも、アクセストランジスタ及びセルキャパシタの基板バイアス効果を低減（デプレッションを安定に確保）できる。また、アクセストランジスタの動作余裕度を確保できる。すなわち、記憶保持動作を従来より少ない電源数で実現することが可能になる。

【0021】

上記センスアンプは、1対のpチャネル型MISFETを含み、上記ビット線対間の電位差を増幅するための増幅回路と、上記増幅回路の駆動を制御し、上記1対のpチャネル型MISFETよりも低いしきい値を有するpチャネル型ドライブMISトランジスタとを有していることにより、pチャネル型ドライブMISトランジスタからのリーク電流を抑えると同時に、1対のpチャネル型MISFETの動作マージンを従来のセンスアンプよりも拡大することができるので、動作性能を向上させることができる。

【0022】

上記1対のpチャネル型MISFETはデプレッション型MISFETであることにより、センスアンプの動作マージンをより大きくとることが可能になる。

【0023】

上記メモリセルが非活性状態にある期間に上記第1のビット線と上記第2のビット線間を短絡させるためのデプレッション型のpチャネル型MISFETであ

るビット線イコライズトランジスタと、上記メモリセルが非活性状態にある期間に上記ビット線対に一定電圧を印加するためのデプレッション型のpチャネル型MISFETであるビット線プリチャージトランジスタとを有するプリチャージ・イコライズ回路をさらに備えていることにより、プリチャージ・イコライズ回路の動作余裕度を拡大することができるので、メモリセルやセンスアンプの動作余裕度が十分にある場合に、動作性能の向上を図ることができる。

【0024】

上記ビット線プリチャージトランジスタ及び上記ビット線プリチャージトランジスタの各ゲート電極には、上記メモリセルが非活性状態にある期間中しきい値電圧以下の電圧が印加されることにより、メモリセルが非活性状態にある期間中、ビット線対の電位を所定の電位に保持させることができる。

【0025】

上記アクセストランジスタ、上記ビット線イコライズトランジスタ、ビット線プリチャージトランジスタ及び上記センスアンプ内の上記1対のpチャネル型MISFETは、互いに共通の工程により形成されることにより、製造工程を減らし、製造コストの低減を図ることができる。

【0026】

本発明の第2の半導体記憶装置は、ワード線と、上記ワード線と交差する第1のビット線と、上記第1のビット線とビット線対を形成する第2のビット線と、ゲート電極が上記ワード線に接続され、第1の拡散層が上記第1のビット線に接続されたMISFETであるアクセストランジスタと、上記アクセストランジスタの第2拡散層に接続され、電荷を保持可能なセルキャパシタとを有し、上記ワード線と上記第1のビット線との交点に配置されたメモリセルと、読み出し動作の際に、上記第1のビット線と上記第2のビット線との間に生じる微小な電位差を増幅するためのセンスアンプとを備え、接地電圧及び正の電源電圧が供給された半導体記憶装置であって、上記アクセストランジスタはデプレッション型のnチャネル型MISFETであり、上記メモリセルの活性化時には上記ワード線を介して上記アクセストランジスタのゲート電極に上記接地電圧が印加される。

【0027】

これにより、アクセストランジスタの動作マージンを従来のDRAMに比べて大きくとることができるので、微細化が進んで駆動電圧（正の電源電圧）が例えば1.5V以下に低電圧化しても、安定して動作させることが可能になる。また、メモリセルの活性化時にアクセストランジスタのゲート電極に正の電源電圧を超える昇圧電圧を印加する必要がなくなる。従って、電源回路またはバイアス用回路数を減らすことができるので、制御が簡略化されると共に、回路面積も縮小することができる。

【0028】

上記セルキャパシタはnチャネル型MISFETであることにより、論理プロセスで製造することが可能になるので、論理回路と混載する場合に、製造工程を少なくすることができる。

【0029】

上記セルキャパシタは、プレーナ型のMISFETであることにより、より容易に製造することができるようになる。

【0030】

上記セルキャパシタはデプレッション型MISFETであり、動作期間中は、上記セルキャパシタのゲート電極に上記正の電源電圧が印加されていることにより、従来に比べて少ない電源数でセルキャパシタに電荷を安定に保持させることが可能になる。

【0031】

上記アクセストランジスタと上記セルキャパシタとは、上記接地電圧が印加された共通の基板または共通のP型ウェルを有し、上記第1のビット線は、ハイレベルの際には上記正の電源電圧が印加され、ローレベルの際には上記接地電圧が印加されることにより、基板またはP型ウェルに負電圧を印加しない場合でもセルキャパシタに電荷を安定に保持させることが可能になる。また、アクセストランジスタの動作余裕度を確保できる。すなわち、記憶保持動作を従来より少ない電源数で実現することが可能になる。

【0032】

上記センスアンプは、1対のnチャネル型MISFETを含み、上記ビット線

対間の電位差を増幅するための増幅回路と、上記増幅回路の駆動を制御し、上記 1 対の n チャネル型 M I S F E T よりも高いしきい値を有する n チャネル型ドライブ M I S トランジスタとを有していることにより、n チャネル型ドライブ M I S トランジスタからのリーク電流を抑えると同時に、1 対の n チャネル型 M I S F E T の動作マージンを従来のセンスアンプよりも拡大することができるので、動作性能を向上させることができる。

【0033】

上記 1 対の n チャネル型 M I S F E T はデプレッション型 M I S F E T であってもよい。

【0034】

上記メモリセルが非活性状態にある期間に上記第 1 のビット線と上記第 2 のビット線間を短絡させるためのデプレッション型の n チャネル型 M I S F E T であるビット線イコライズトランジスタと、上記メモリセルが非活性状態にある期間に上記ビット線対に一定電圧を印加するためのデプレッション型の n チャネル型 M I S F E T であるビット線プリチャージトランジスタとを有するプリチャージ・イコライズ回路をさらに備えていることにより、プリチャージ・イコライズ回路の動作余裕度を拡大することができるので、メモリセルやセンスアンプの動作余裕度が十分にある場合に、動作性能の向上を図ることができる。

【0035】

上記ビット線プリチャージトランジスタ及び上記ビット線プリチャージトランジスタの各ゲート電極には、上記メモリセルが非活性状態にある期間中しきい値電圧以上の電圧が印加されることにより、メモリセルが非活性状態にある期間中、ビット線対の電位を所定の電位に保持させることができる。

【0036】

上記アクセストランジスタ、上記ビット線イコライズトランジスタ、ビット線プリチャージトランジスタ及び上記センスアンプ内の上記 1 対の n チャネル型 M I S F E T は、互いに共通の工程により形成されることで、製造工程を少なくすることができる。

【0037】

本発明の第1の半導体集積回路装置は、pチャネル型MISFETを有し、基板上に集積化された論理回路と、上記論理回路と同一基板上に設けられ、ワード線と、上記ワード線と交差する第1のビット線と、上記第1のビット線とビット線対を形成する第2のビット線と、ゲート電極が上記ワード線に接続され、第1の拡散層が上記第1のビット線に接続されたpチャネル型MISFETであるアクセストランジスタと、上記アクセストランジスタの第2拡散層に接続され、電荷を保持可能なセルキャパシタとを有し、上記ワード線と上記第1のビット線との交点に配置されたメモリセルと、読み出し動作の際に、上記第1のビット線と上記第2のビット線との間に生じる微小な電位差を増幅するためのセンスアンプとを有するダイナミック型半導体記憶装置とを備え、上記アクセストランジスタのしきい値は、上記論理回路に設けられたpチャネル型MISFETのしきい値よりも高く設定される。

【0038】

これにより、論理回路のしきい値を低く設定して動作速度の向上を図ると共に、半導体記憶装置では、アクセストランジスタの動作余裕度を拡大して低電圧下で動作性能を確保することができる。

【0039】

特に、上記アクセストランジスタは、デプレッション型MISFETであり、上記メモリセルの活性化時には、上記ワード線を介して上記アクセストランジスタのゲート電極に上記接地電圧が印加されることにより、従来に比べて必要な電源数を少なくすることができるので、動作制御が容易になり、且つ回路面積を低減することもできる。

【0040】

上記セルキャパシタはpチャネル型MISFETであることにより、論理回路と共通の論理プロセスにより半導体記憶装置を製造することができるので、製造コストを低減することができる。

【0041】

上記セルキャパシタはプレーナ型のMISFETであることにより、より容易に製造することが可能になる。

【0042】

上記セルキャパシタはデプレッション型MISFETであり、動作期間中は、上記セルキャパシタのゲート電極に上記接地電圧が印加されていることにより、従来よりも少ない電源数でセルキャパシタに電荷を安定に保持させることができる。

【0043】

上記アクセストランジスタは、上記論理回路内のpチャネル型MISFETのゲート絶縁膜よりも厚いゲート絶縁膜を有していることにより、ゲートリーク電流を抑えることができるので、データをより安定に保持することができる。

【0044】

上記アクセストランジスタのゲート絶縁膜の厚さと上記セルキャパシタのゲート絶縁膜の厚さは等しいことにより、アクセストランジスタとセルキャパシタの製造工程を共通化できるので、製造工程をより少なくすることができる。

【0045】

上記アクセストランジスタと上記セルキャパシタとは、上記正の電源電圧が印加された共通の基板または共通のN型ウェルを有し、上記第1のビット線は、ハイレベルの際には上記正の電源電圧が印加され、ローレベルの際には上記接地電圧が印加されることで、従来に比べて必要な電源数を減らし、回路面積の縮小を図ることができる。

【0046】

上記センスアンプは、1対のpチャネル型MISFETを含み、上記ビット線対間の電位差を増幅するための増幅回路と、上記増幅回路の駆動を制御し、上記1対のpチャネル型MISFETよりも低いしきい値を有するpチャネル型ドライブMISトランジスタとを有していることにより、センスアンプの動作マージンを従来に比べて拡大することができる。

【0047】

上記1対のpチャネル型MISFETはデプレッション型MISFETであることにより、動作マージンをより大きくとることができる。

【0048】

上記ダイナミック型半導体記憶装置は、上記メモリセルが非活性状態にある期間に上記第1のビット線と上記第2のビット線間を短絡させるためのデプレッション型のpチャネル型MISFETであるビット線イコライズトランジスタと、上記メモリセルが非活性状態にある期間に上記ビット線対に一定電圧を印加するためのデプレッション型のpチャネル型MISFETであるビット線プリチャージトランジスタとを有するプリチャージ・イコライズ回路をさらに有していることにより、非活性状態におけるビット線対の電位を確実に所定値に設定することができる。また、従来に比べてプリチャージ・イコライズ回路の動作マージンが拡大しているので、メモリセルやセンスアンプの動作マージンが十分確保されている場合に、半導体記憶装置の性能を向上させることができる。

【0049】

上記ビット線プリチャージトランジスタ及び上記ビット線プリチャージトランジスタの各ゲート電極には、上記メモリセルが非活性状態にある期間中しきい値電圧以下の電圧が印加されることにより、ビット線対の非活性状態の電位をより確実に所定値に設定することができる。

【0050】

上記ダイナミック型半導体記憶装置は、上記論理回路と共通の論理プロセスによって形成されることにより、製造工程数を減らすことができる。

【0051】

本発明の第2の半導体集積回路装置は、nチャネル型MISFETを有し、基板上に集積化された論理回路と、上記論理回路と同一基板上に設けられ、ワード線と、上記ワード線と交差する第1のビット線と、上記第1のビット線とビット線対を形成する第2のビット線と、ゲート電極が上記ワード線に接続され、第1の拡散層が上記第1のビット線に接続されたnチャネル型MISFETであるアクセストランジスタと、上記アクセストランジスタの第2拡散層に接続され、電荷を保持可能なセルキャパシタとを有し、上記ワード線と上記第1のビット線との交点に配置されたメモリセルと、読み出し動作の際に、上記第1のビット線と上記第2のビット線との間に生じる微小な電位差を増幅するためのセンスアンプとを有するダイナミック型半導体記憶装置とを備え、上記アクセストランジスタ

のしきい値は、上記論理回路に設けられた n チャネル型 M I S F E T のしきい値よりも低く設定される。

【0052】

これにより、論理回路のしきい値を低く設定して動作速度の向上を図ると共に、半導体記憶装置では、アクセストランジスタの動作余裕度を拡大して低電圧下で動作性能を確保することができる。

【0053】

特に、上記アクセストランジスタは、デプレッション型 M I S F E T であり、上記メモリセルの活性化時には、上記ワード線を介して上記アクセストランジスタのゲート電極に上記正の電源電圧が印加されることが好ましい。

【0054】

上記セルキャパシタは n チャネル型 M I S F E T であることにより、論理回路と共通の論理プロセスにより半導体記憶装置を製造することができるので、製造コストを低減することができる。

【0055】

上記セルキャパシタはプレーナ型の M I S F E T であることがより好ましい。

【0056】

上記セルキャパシタはデプレッション型 M I S F E T であり、動作期間中は、上記セルキャパシタのゲート電極に上記正の電源電圧が印加されていることにより、従来よりも少ない電源数でセルキャパシタに電荷を安定に保持させることができる。

【0057】

上記アクセストランジスタは、上記論理回路内の n チャネル型 M I S F E T のゲート絶縁膜よりも厚いゲート絶縁膜を有していることにより、ゲートリーク電流を抑えることができるので、データをより安定に保持することができる。

【0058】

上記アクセストランジスタのゲート絶縁膜の厚さと上記セルキャパシタのゲート絶縁膜の厚さは等しいことにより、アクセストランジスタとセルキャパシタの製造工程を共通化できるので、製造工程をより少なくすることができる。

【0059】

上記アクセストランジスタと上記セルキャパシタとは、上記正の電源電圧が印加された共通の基板または共通のP型ウェルを有し、上記第1のビット線は、ハイレベルの際には上記正の電源電圧が印加され、ローレベルの際には上記接地電圧が印加されることにより、従来に比べて必要な電源数を減らし、回路面積の縮小を図ることができる。

【0060】

上記センスアンプは、1対のnチャネル型MISFETとから構成され、上記ビット線対間の電位差を増幅するための増幅回路と、上記増幅回路の駆動を制御し、上記1対のnチャネル型MISFETよりも高いしきい値を有するnチャネル型ドライブMISトランジスタとを有していることにより、センスアンプの動作マージンを従来に比べて拡大することができる。

【0061】

上記1対のnチャネル型MISFETはデプレッション型MISFETであることにより、動作マージンをより大きくとることができる。

【0062】

上記ダイナミック型半導体記憶装置は、上記メモリセルが非活性状態にある期間に上記第1のビット線と上記第2のビット線間を短絡させるためのデプレッション型のnチャネル型MISFETであるビット線イコライズトランジスタと、上記メモリセルが非活性状態にある期間に上記ビット線対に一定電圧を印加するためのデプレッション型のnチャネル型MISFETであるビット線プリチャージトランジスタとを有するプリチャージ・イコライズ回路をさらに有していることにより、従来に比べてプリチャージ・イコライズ回路の動作マージンが拡大しているので、メモリセルやセンスアンプの動作マージンが十分確保されている場合に、半導体記憶装置の性能を向上させることができる。

【0063】

上記ビット線プリチャージトランジスタ及び上記ビット線プリチャージトランジスタの各ゲート電極には、上記メモリセルが非活性状態にある期間中しきい値電圧以上の電圧が印加されることにより、ビット線対の非活性状態の電位をより

確実に所定値に設定することができる。

【0064】

上記ダイナミック型半導体記憶装置は、上記論理回路と共通の論理プロセスによって形成されることにより、製造工程数を減らすことができる。

【0065】

【発明の実施の形態】

（第1の実施形態）

以下、本発明の第1の実施形態に係る半導体記憶装置について、図面を参照しながら説明する。

【0066】

図1は、本発明の第1の実施形態に係るダイナミック型半導体記憶装置（DRAM）のうち、メモリセルを示す回路図である。

【0067】

同図に示すように、本実施形態のDRAMは、互いに交差する複数のワード線101及び複数のビット線102と、ワード線101とビット線102との交点付近に設けられ、マトリクス状に配置されたメモリセルとを備えている。そして、各メモリセルは、ゲート電極にワード線101が接続され、一端（第1の拡散層）がビット線102に接続されたpチャネル型MOSFETであるアクセストランジスタ（アクセスTr）103と、アクセスTr103の他端（第2拡散層）に接続され、キャパシタとして機能するpチャネル型MOSFETであるセルキャパシタ104とを有している。この構成により、本実施形態のDRAMでは、アクセスTr103とセルキャパシタ104との間のメモリセルストレージノード107に”0”または”1”のデータが保持可能になっている。

【0068】

また、本実施形態のDRAMは、論理回路と同一のチップ上に併設されており、論理プロセスにより形成される。これについては後述する。

【0069】

本実施形態のDRAMの特徴は、アクセスTr103及びセルキャパシタ104が、0V以上（0Vまたは正）のしきい値を有するデプレッション型のMOS

トランジスタであることである。これにより、アクセス T_{r103} とセルキャパシタ 104 の電位を電源電位 V_{DD} 、昇圧電位 V_{pp} 及び接地電位 V_{SS} の 3 種類のみにすることが可能となっている。ここで、例えば、電源電位（電源電圧） V_{DD} は $1.5V$ で、昇圧電位（昇圧電圧） V_{pp} は $2.0V$ とする。

【0070】

以下、本実施形態の DRAM の動作について説明する。

【0071】

まず、セルキャパシタ 104 はセルプレート電極 106 を有しており、該セルプレート電極 106 の電位は、動作期間を通してセルプレート電位 V_{Cp} ($=0V$) となっている。これにより、セルキャパシタ 104 が常にチャネル形成状態に保たれ、ビット線 102 からメモリセルストレージノード 107 への書き込み電位によらず、セルキャパシタ 104 のセル容量を安定的に確保している。本実施形態では、セルキャパシタ 104 のしきい値が $0V$ 以上であるので、セルプレート電位 V_{Cp} は接地電位 V_{SS} または接地電位 V_{SS} に近い値に設定することが可能となっている。セルプレート電位 V_{Cp} を V_{SS} とする場合、従来よりも電源回路の数を減らせることになるので、回路面積を縮小することが可能になる。

【0072】

また、アクセス T_{r103} とセルキャパシタ 104 に共通の基板またはウェル電極 105 の電位は動作時を通じて電源電位 V_{DD} となっている。これにより、基板バイアス効果を低減でき、アクセス T_{r103} のしきい値が上がるので、電流のリークが抑えられる。さらに、本実施形態の DRAM メモリセルにおいては、アクセス T_{r103} がデプレッション型 MOSFET であるので、通常の MOSFET を用いる場合に比べて動作マージンが大きくなっている。そのため、アクセス T_{r103} をオン状態にするための電位の下限を接地電位 V_{SS} とすることができる。これによって、従来の DRAM に比べてさらに電源数を減らすことができる。

【0073】

なお、ワード線 101 の非活性化時（メモリセルの非活性化時）には、ワード線 101 の電位は昇圧電位 V_{pp} に設定され、アクセス T_{r103} はオフ状態とな

っている。また、ビット線 102 の電位は、あらかじめビット線プリチャージ電位 V_{Bp} ($\equiv V_{DD}/2$) となっている。

【0074】

一方、ワード線 101 の活性化時（メモリセルの活性化時）には、ワード線 101 の電位は接地電位 V_{SS} になり、アクセス $Tr103$ がオン状態となる。

【0075】

図 2 は、“0” のデータを読み出す際の本実施形態の DRAM の動作概念図である。

【0076】

同図に示すように、データの読み出し時には、ワード線 101 の電位が接地電位 V_{SS} となり、アクセス $Tr103$ がオン状態になる。すると、“0” の記憶情報がアクセス $Tr103$ に接続されたビット線 102 に読み出され、該ビット線 102 の電位がわずかに下がる。次いで、センスアンプがビット線 102 対間の電位差を増幅し、ビット線 102 対の一方の電位を接地電位 V_{SS} とし、他方の電位を電源電位 V_{DD} にする。そして、この増幅された記憶情報を外部に出力することで、読み出し動作が行われる。

【0077】

一方、書き込み動作時において、ワード線 101 の動作は読み出し時と同様であるが、データ転送の経路は読み出し動作と逆となる。すなわち、ワード線 101 の電位を接地電位 V_{SS} とし、アクセス $Tr103$ をオン状態にする。この際に、書き込みアンプからセンスアンプを通してビット線 102 からセルキャパシタ 104 に情報を書き込む。ビット線 102 の電位が V_{DD} なら“1”の情報が、ビット線 102 の電位が V_{SS} なら“0”の情報がセルキャパシタ 104 にそれぞれ書き込まれる。

【0078】

本実施形態の DRAM では、上記のようなデータの読み出し・書き込み時において、活性化されたワード線 101 には接地電位 V_{SS} が印加されている。このとき、“1”のデータを書き込む際にメモリセルストレージノード 107 にかかる電圧を V_H 、“0”のデータを書き込む際にかかる電圧を V_L とすると、 $V_H =$

V_{DD} 、 $V_L = V_{SS} - V_{th}$ ($V_{th} > 0$ V の時は $V_L = V_{SS}$) となる。ここで、 V_{th} はアクセス T_{r103} のしきい値を意味する。

【0079】

特に、本実施形態の DRAM では、“0” データの書き込みにおいて、アクセス T_{r103} の V_{th} が 0 V または正の値（デプレッション型 T_r ）であるため、ビット線 102 の“0” 情報を電荷ロスなく書き込むことができる。

【0080】

ここで、以上で説明した本実施形態の DRAM の特徴を以下にまとめてみる。

【0081】

まず、本実施形態の DRAM のメモリセルのバイアスに必須の電源は、外部電源 V_{DD} 、 V_{SS} 以外に内部電源として、ワード線 off 電源 V_{pp} の 1 電源のみである。このため、従来の DRAM に比べ、回路面積を大幅に縮小することができるようになる。

【0082】

また、アクセス T_{r103} やセルキャパシタ 104 のしきい値が 0 V 以上であるために、ワード線の活性化状態の電位が接地電位であっても、ビット線からメモリセルストレージノード 107 への“0” データ書き込み時の電荷ロスがなく、十分な書き込みが可能となっている。

【0083】

さらに、ワード線 101 の非活性化状態では、ワード線 101 の電位が V_{pp} ($> V_{DD}$) であることにより、アクセス T_{r103} が off 状態のときにリークする電流を低減できるため、メモリセルの記憶情報の保持時間を確保できる。

【0084】

このように、本実施形態の DRAM は、従来よりも低消費電力で、且つ回路面積も低減されている。

【0085】

なお、以上で説明した本実施形態の DRAM では、しきい値電圧が 0 V 以上のデプレッション型 MOSFET をアクセス T_{r103} およびセルキャパシタ 104 として用いていたが、しきい値電圧が負（エンハンスメント型）の MOSFET

Tを使用できる場合もある。例えば、同一チップ上に設けられた論理回路のトランジスタに比べてしきい値の絶対値が十分小さいトランジスタ、言い換えれば、論理回路中のpチャネル型MOSFETよりもしきい値電圧の高いpチャネル型MOSFETであれば使用できる。この際、しきい値の絶対値が小さければ小さい程、メモリセルストレージノード107へ”0”データを書き込む際の電荷のロスを小さくできる。しきい値の絶対値が十分に小さければ、エンハンスメント型MOSFETを用いても電源数を減らすことが可能である。ただし、電力低減及び回路面積低減の観点からは、デプリッション型MOSFETを用いることが最も好ましい。

【0086】

また、本実施形態のDRAMでは、メモリセルを構成するトランジスタをpチャネル型MOSFETとしたが、nチャネル型MOSFETを用いてもよい。この場合、ワード線が非活性時の電位は負の昇圧電位に設定され、ワード線が活性時の電位は電源電位、メモリセル下の基板電位は接地電位、セルプレート電位は電源電位になる。これについては後の実施形態で詳述する。

【0087】

－DRAMメモリセルの素子構造－

次に、本実施形態のDRAMメモリセルの素子構造を説明する。

【0088】

図3は、本実施形態のDRAMメモリセルの構造を示す断面図である。同図に示すように、本実施形態のDRAMメモリセルは、p型シリコンからなる半導体基板100と、半導体基板100にn型不純物を注入して設けられたN型ウェル112と、N型ウェル112上に設けられ、p型不純物拡散層120とゲート絶縁膜とゲート電極とを有するアクセスTr103と、一方のp型不純物拡散層120をアクセスTr103と共有し、ゲート絶縁膜とセルプレート電極106とを有するセルキャパシタ104とを備えている。アクセスTr103のゲート電極はワード線101に接続され、一方のp型不純物拡散層120はビット線102に接続されている。

【0089】

また、図4は、本実施形態のDRAMメモリセルと論理回路とを備えた半導体集積回路を概略的に示す断面図である。同図に示すように、本実施形態のDRAMは、論理回路と同一チップ上に集積化されている。ここでは、論理回路部が、DRAMセル部と同じ半導体基板100上に設けられたNMOS論理トランジスタ108とPMOS論理トランジスタ109とを有するインバータ回路である例を示している。

【0090】

ここで、本実施形態のDRAMの特徴は、論理回路部を構成するトランジスタのゲート絶縁膜よりもDRAMセル部を構成するトランジスタのゲート絶縁膜の方が厚いことにある。例えば、NMOS論理トランジスタ108及びPMOS論理トランジスタ109のゲート絶縁膜の厚みは2.5nm程度であるのに対し、アクセスTr103及びセルキャパシタ104のゲート絶縁膜は3nm程度である。このような構造は、公知の論理プロセスを用いて、DRAMセル部の基板上部を選択的に複数回酸化することにより形成可能である。

【0091】

なお、アクセスTr103のゲート絶縁膜の厚みとセルキャパシタ104のゲート絶縁膜の厚みとは異なってもよいが、同じ膜厚である方がゲート絶縁膜の形成工程を共通化できるので好ましい。

【0092】

このDRAMセル部は、論理回路部と同じ論理プロセスを用いて同時に製造することが可能である。論理プロセスにより製造可能にするため、本実施形態ではセルキャパシタ104として、スタックセルやトレンチセルを採用せず、プレーナ型のMOSキャパシタを採用している。

【0093】

このように、本実施形態のDRAMにおいては、例えば論理回路を1.5V程度の低電圧で動作させ、外部とのI/O部（入出力回路部）及び保護素子を2.0V程度で動作させることができる。

【0094】

処理速度の向上及び省電力化（低電圧化）のために論理回路部のトランジスタ

ではゲート絶縁膜が薄くなる傾向にある。本実施形態のDRAMでは、DRAMメモリセルを構成するトランジスタのゲート絶縁膜を厚くすることでゲートリーク電流を抑えている。そのため、論理回路部の動作速度を向上させつつ、メモリセルの記憶動作を安定に行なうことができる。また、上述のように、メモリセルにデプリッション型MOSFETを用いることで、駆動電圧のマージンを十分にとることができるので、必要な電源数を従来よりも減らすことができる。

【0095】

なお、アクセスTr103及びセルキャパシタ104の一方または両方がSiO₂以外の材料で構成されたゲート絶縁膜を有するMISFETであってもよい。特に、SiO₂より高い誘電率を有する誘電体材料をアクセスTr103のゲート絶縁膜材料として用いることで、メモリセル容量を大きくすることができるので、より安定に動作させることができる。このような高誘電体材料としては、タンタルオキサイド、チタン酸バリウム・ストロンチウム（BST）などがある。

【0096】

また、セルキャパシタ104のゲート絶縁膜材料を強誘電体材料とすることで、DRAMの代わりにFeRAMを構成することもできる。

【0097】

ーセンスアンプ回路、ビット線プリチャージ・イコライズ回路及びカラム選択スイッチ回路ー

図5は、本実施形態のDRAMのうち、センスアンプ回路、ビット線プリチャージ・イコライズ回路、及びカラム選択スイッチを示す回路図である。

【0098】

本実施形態のDRAMメモリセルにおいては、ビット線に接続されたセンスアンプ回路200で読み出した電圧情報を増幅している。また、ビット線プリチャージ・イコライズ回路201が、ビット線の非活性化時にビット線対の電位をV_{DD}/2になるようにプリチャージしている。そして、カラム選択スイッチ202は、カラム選択制御信号CSLを受けて選択されたビット線対を活性化する。

【0099】

本実施形態のDRAMにおいては、メモリセル部と同様に、センスアンプ回路200及びビット線プリチャージ・イコライズ回路201についてもデプレッション型MOSFETまたは論理回路部のpチャネル型MOSFETよりもしきい値の高いpチャネル型MOSFETを用いることで、動作マージンの拡大を図ることができる。従来のDRAMでは、主にメモリセルの動作マージンが小さいことが省電力化や安定動作を行なうための制限になっていたが、本実施形態では、メモリセルの動作マージンが拡大している。そのため、センスアンプ回路200等の周辺回路の動作マージンを拡大することで、さらに動作性能を向上させることが可能となる。

【0100】

以下、これらの回路について説明する。

【0101】

図5に示すように、DRAMは、ビット線対(BL₀, NBL₀)と、それぞれビット線BL₀とビット線NBL₀の間に設けられたセンスアンプ回路200、ビット線プリチャージ・イコライズ回路201及びカラム選択スイッチ202を備えている。このようなビット線対は複数対あり、それぞれのビット線の間にはセンスアンプ回路200、ビット線プリチャージ・イコライズ回路201及びカラム選択スイッチ202が設けられている。図5ではn対(nは2以上の自然数)のビット線対を示しているが、各ビット線対は同一構造を有しているので、以下ではビット線BL₀, NBL₀に挟まれた回路の説明を例にとって説明する。

【0102】

まず、図5に示すように、センスアンプ回路200は、1対のp型MOSFETと、1対のn型MOSFETとから構成され、ビット線対間の電位差を増幅するための増幅回路210と、該増幅回路の駆動を制御し、1対のp型MOSFETよりも高いしきい値を有するP型センスアンプ駆動トランジスタTP0₀と、上記増幅回路の駆動を制御するためのN型センスアンプ駆動トランジスタTN0₀とを有している。P型センスアンプ駆動トランジスタTP0₀とN型センスアンプ駆動トランジスタTN0₀とは共にMOSFETである。

【0103】

増幅回路 2 1 0 は、ソースとゲートとが互いに接続された p チャネル型 MOS FET である第 1 の P 型センスアンプトランジスタ $TP1_0$ 及び第 2 の P 型センスアンプトランジスタ $TP2_0$ と、ドレイン同士及びゲート同士が第 1 の P 型センスアンプトランジスタ $TP1_0$ に接続された n チャネル型 MOS FET である第 1 の N 型センスアンプトランジスタ $TN1_0$ と、ドレイン同士及びゲート同士が第 2 の P 型センスアンプトランジスタ $TP2_0$ に接続され、ソース同士が第 1 の N 型センスアンプトランジスタ $TN1_0$ に接続された n チャネル型 MOS FET である第 2 の N 型センスアンプトランジスタ $TN2_0$ とを有している。

【0 1 0 4】

P 型センスアンプ駆動トランジスタ $TP0_0$ においては、ソースに電源電位（電源電圧） V_{DD} が供給され、ドレインが第 1 の P 型センスアンプトランジスタ $TP1_0$ 及び第 2 の P 型センスアンプトランジスタ $TP2_0$ のソースに接続されている。また、N 型センスアンプ駆動トランジスタ $TN0_0$ においては、ソースが接地され、ドレインが第 1 の N 型センスアンプトランジスタ $TN1_0$ 及び第 2 の N 型センスアンプトランジスタ $TN2_0$ のソースに接続されている。

【0 1 0 5】

そして、第 1 の P 型センスアンプトランジスタ $TP1_0$ 及び第 1 の N 型センスアンプトランジスタ $TN1_0$ のドレインと、第 2 の P 型センスアンプトランジスタ $TP2_0$ 及び第 2 の N 型センスアンプトランジスタ $TN2_0$ のゲートとは共通にビット線 BL_0 に接続されている。第 2 の P 型センスアンプトランジスタ $TP2_0$ 及び第 2 の N 型センスアンプトランジスタ $TN2_0$ のドレインと、第 1 の P 型センスアンプトランジスタ $TP1_0$ 及び第 1 の N 型センスアンプトランジスタ $TN1_0$ のゲートとは共通にビット線 NBL_0 に接続されている。また、P 型センスアンプ駆動トランジスタ $TP0_0$ はゲートに印加される第 1 のセンスアンプ信号 NS_{EP} により制御され、N 型センスアンプ駆動トランジスタ $TN0_0$ は、ゲートに印加される第 2 のセンスアンプ信号 SE_N により制御される。

【0 1 0 6】

次に、ビット線プリチャージ・イコライズ回路 2 0 1 は、ビット線 BL_0 とビット線 NBL_0 とを接続する第 1 の配線 2 0 4 及び第 2 の配線 2 0 6 と、第 1 の

配線 204 上に介設され、ゲートにビット線プリチャージ・イコライズ制御信号 EQ が印加された p チャンネル型 MOSFET であるビット線イコライズトランジスタ TP30 と、第 2 の配線 206 上に互いに直列に設けられ、共にゲートにビット線プリチャージ・イコライズ制御信号 EQ が印加された p チャンネル型 MOSFET である第 1 のビット線プリチャージトランジスタ TP40 及び第 2 のビット線プリチャージトランジスタ TP50 とを有している。また、ビット線プリチャージ電位 $V_{BP} (\equiv V_{DD}/2)$ は、第 1 のビット線プリチャージトランジスタ TP40 と第 2 のビット線プリチャージトランジスタ TP50 との間に接続されている。

【0107】

次に、カラム選択スイッチ 202 は、一端がビット線 BL0 に接続され、他端がデータバス DL0 に接続された N チャンネル型 MOSFET である第 1 のカラム選択トランジスタ TN30 と、一端がビット線 NBL0 に接続され、他端がデータバス NDL0 に接続された N チャンネル型 MOSFET である第 2 のカラム選択トランジスタ TN40 とで構成されている。この第 1 のカラム選択トランジスタ TN30 及び第 2 のカラム選択トランジスタ TN40 は共にカラムデコーダ（図示せず）で生成されたカラム選択制御信号 CSL0 によって導通状態または非導通状態に制御される。

【0108】

本実施形態のセンスアンプ回路 200 及びビット線プリチャージ・イコライズ回路 201 の特徴は、図 5 において○印で示す第 1 の P 型センスアンプトランジスタ TP10、第 2 の P 型センスアンプトランジスタ TP20、ビット線イコライズトランジスタ TP30、第 1 のビット線プリチャージトランジスタ TP40 及び第 2 のビット線プリチャージトランジスタ TP50 のそれぞれのしきい値が、論理回路部内の p チャンネル型 MOSFET に比べて高く設定されていることである。これにより、センスアンプ回路 200 及びビット線プリチャージ・イコライズ回路 201 では、低電圧における動作マージンが拡大されている。ビット線プリチャージ・イコライズ回路 201 では、特にデプレッション型 MOSFET を有していてもよい。

【0109】

また、これらのトランジスタのゲート絶縁膜の厚さは論理回路部内のMOSトランジスタと同じ厚さである。

【0110】

これに対して、図5において□印で囲んだ第1のN型センスアンプトランジスタ $TN1_0$ 及び第2のN型センスアンプトランジスタ $TN2_0$ のしきい値電圧は、論理回路部に設けられたnチャネル型MOSFETのしきい値電圧より低く設定されている。従って、同じゲート電圧を印加された場合、従来に比べてソース・ドレイン間の電流が流れやすくなっている。このため、低電圧におけるセンスアンプの動作マージンをさらに拡大することが可能となっている。なお、これらのnチャネル型MOSFETにおいて、デプレッション型MOSFETを用いてもよい。

【0111】

また、P型センスアンプ駆動トランジスタ $TP0_0$ のしきい値電圧は、第1のP型センスアンプトランジスタ $TP1_0$ 及び第2のP型センスアンプトランジスタ $TP2_0$ のしきい値電圧よりも小さく設定されている。そして、N型センスアンプ駆動トランジスタ $TN0_0$ のしきい値電圧は、第1のN型センスアンプトランジスタ $TN1_0$ 及び第2のP型センスアンプトランジスタ $TN2_0$ のしきい値電圧よりも高く設定されている。このように設定するのは、センスアンプ回路200の非活性時におけるリーク電流を抑えるためである。なお、P型センスアンプ駆動トランジスタ $TP0_0$ のしきい値電圧は、論理回路を構成するpチャネル型MOSFETのしきい値電圧に等しくなるように設定してもよい。

【0112】

次に、センスアンプ回路、ビット線プリチャージ・イコライズ回路及びカラム選択スイッチ回路の動作を以下に説明する。

【0113】

図6は、図5に示す各信号、ビット線対及びワード線対の電位変化を示すタイミングチャート図である。同図は、“0”のデータを読み出す際のタイミングチャートを示している。

【0114】

まず、本実施形態の半導体記憶装置が非活性状態の時には、ビット線プリチャージ・イコライズ信号EQの電位が V_{SS} の”L”（ロー）レベルとなっている。すると、ビット線プリチャージ・イコライズ回路を構成するpチャネル型MOSFETが導通するので、ビット線対BL, NBLの電位は、あらかじめ V_{BP} （ $\equiv V_{DD}/2$ ）にプリチャージされた状態となる。なお、ここではカラム選択スイッチ202はオフとなっている。

【0115】

次に、半導体記憶装置が活性化状態になると、ビット線プリチャージ・イコライズ信号EQが”H”レベルとなり、プリチャージ状態を終える。この時、ビット線プリチャージ・イコライズ信号EQの電位は、ビット線イコライズトランジスタTP30, 第1のビット線プリチャージトランジスタTP40及び第2のビット線プリチャージトランジスタTP50が確実にオフ状態になるように昇圧電位 V_{pp} に設定される。

【0116】

その後、ロウ（Row）アドレスによって選択されたワード線の電位が V_{pp} から V_{SS} に変化し、該ワード線が活性化されると、メモリセルが保持するデータがビット線対BL, NBLに微小電位差として読み出される。これに続いて、第1のセンスアンプ信号NSEPが”H”（ハイ）レベルに、第2のセンスアンプ駆動信号SENが”L”レベルに変化すると、センスアンプ回路200が活性化され、メモリセルから読み出された微小電位が増幅される。続いて、カラムアドレスによって選択されたカラム選択スイッチがオンとなり、データバス対DL, NDLを通じてデータのやりとりが行われる。

【0117】

その後、半導体記憶装置を非活性状態にするには、まずワード線の電位を V_{SS} から V_{pp} に変化させて非活性化する。すると、ビット線上のデータのメモリセルへの再書き込みが完了し、その後、ビット線プリチャージ・イコライズ信号EQの電位が再び”L”レベルとなることによってビット線プリチャージ・イコライズ動作が行われ、スタンバイ状態となる。上述したように、本実施形態のセンス

アンプ回路の構成を、本実施形態のメモリセルと組み合わせて用いれば、さらに動作マージンを拡大することができ、動作安定性の向上や動作の高速化を図ることができる。

【0118】

なお、本実施形態のセンスアンプ回路やビット線プリチャージ・イコライズ回路、及びカラム選択スイッチなどを構成するMOSFETをMISFETで構成しても同様の効果が得られる。

【0119】

－半導体記憶装置の全体構成－

図7は、第1の実施形態に係る半導体記憶装置の全体を示すブロック回路図である。

【0120】

同図に示すように、半導体記憶装置では、外部から入力されたアドレス入力、Rowアドレスバッファ311及びRowアドレスプリデコーダ309を経由してRowデコーダ／ワードドライバ308によってデコードされる。すると、Rowデコーダ／ワードドライバ308によってアドレス情報に対応するワード線302が活性化され、メモリセルの蓄積されていた情報がビット線303に転送される。ここで、ワードドライバによる活性化信号は、タイミング制御回路313によって制御されている。そして、ビットSEN303に転送された情報は、センスアンプ列305内のセンスアンプによって増幅される。

【0121】

また、アドレス入力はカラム（Column）アドレスバッファ312、Columnアドレスプリデコーダ310を経由してColumnデコーダ306に伝達される。そして、アドレス情報に対応するセンスアンプがColumnデコーダ306によって選択されると、リードアンプ・ライトアンプ307を介して外部とのデータのやりとりを行うことができる。

【0122】

図8は、図7に示す本実施形態の半導体記憶装置におけるRowデコーダ／ワードドライバの構成例を示す回路図である。

【0123】

同図に示すように、外部入力アドレスがアドレスプリデコード信号403、Rowデコーダ401によってデコードされる。次いで、ワードドライバ402に伝達された外部入力アドレスは、電圧変換されて、対応するワード線を選択・起動する。このときのワード線の電位は、非活性時には内部昇圧電位 V_{pp} に、活性化時には接地電位 V_{SS} に設定される。

【0124】

次に、このような内部昇圧電位 V_{pp} を発生させる回路の例を示す。

【0125】

図9及び図10は、図8に示す内部昇圧電位 V_{pp} を発生するための昇圧電位発生回路の構成例を示す回路図及びブロック回路図である。

【0126】

まず、図9に示す昇圧電位発生回路は、電源電位 V_{DD} を供給する外部電源に応じて設定される第1の基準電位 V_{ref1} を入力とし、これを用いて、外部電源電位 V_{D3} ($> V_{DD}$) を降圧させて実現したものである。すなわち、昇圧電位発生回路は、第1の基準電位 V_{ref1} を受けて第2の基準電位 V_{ref2} を出力する基準電位発生回路501と、第2の基準電位 V_{ref2} を受けて昇圧電位 V_{pp} を発生させる出力回路502とから構成される。ここで、例えば、 V_{DD} は論理トランジスタ用電源の電位であって1.5Vであり、 V_{D3} はI/Oまたはアナログ回路用トランジスタ用電源の電位であって3.3Vとする。

【0127】

外部電源が2種類存在する場合にこのような構成が可能となり、近年のシステムLSIをはじめ、半導体装置において、広く活用できる構成である。

【0128】

これに対し、外部電源が単一である場合でも、図10に示す昇圧電位発生回路を用いることで昇圧電位 V_{pp} を発生させることができる。

【0129】

図10に示す昇圧電位発生回路は、 V_{DD} に対して昇圧された電源を、チャージポンプ回路によって発生させる構成をとっており、出力電圧を検知するための検

知回路 511 と、オシレータ及び（ポンピング）制御回路 512 と、チャージポンプ回路 513 とによって構成されている。最近の半導体記憶装置において広く用いられている構成なので、詳細の説明は省略する。

【0130】

以上のような回路を用いて、本実施形態の半導体記憶装置を実現することができる。

【0131】

（第2の実施形態）

本発明の第2の実施形態に係る DRAM として、メモリセルを構成するアクセス Tr 及びセルキャパシタとを共に n チャネル型 MOSFET で構成する例について説明する。

【0132】

図 11 は、第2の実施形態に係る DRAM のうち、メモリセルを示す回路図である。

【0133】

同図に示すように、本実施形態の DRAM は、互いに交差する複数のワード線 121 及び複数のビット線 122 と、ワード線 121 とビット線 122 との交点付近にそれぞれ設けられたメモリセルとを備えている。そして、各メモリセルは、ゲート電極にワード線 121 が接続され、一端（第1拡散層）がビット線 122 に接続された n チャネル型 MOSFET であるアクセス Tr 123 と、アクセス Tr 123 の他端（第2拡散層）に接続された n チャネル型 MOSFET であって、キャパシタとして機能するセルキャパシタ 124 とを有している。本実施形態の DRAM も、第1の実施形態と同様に、論理回路と同一のチップ上に併設されており、論理プロセスにより形成される。

【0134】

本実施形態の DRAM の特徴は、アクセス Tr 123 及びセルキャパシタ 124 が、0 V 以下（0 V または負）のしきい値を有するデプレッション型の MOS トランジスタであることである。これにより、アクセス Tr 123 とセルキャパシタ 124 の電位を電源電位 V_{DD} 、負昇圧電位 V_{BB} 及び接地電位 V_{SS} の 3 種類の

みにすることが可能となっている。ここで、例えば、電源電位（電源電圧） V_{DD} は1.5Vで、負昇圧電位（負昇圧電圧） V_{BB} は-0.5Vとする。

【0135】

また、アクセスTr123のゲート絶縁膜は、本実施形態のDRAMに併設される論理回路内のnチャネル型MOSFETのゲート絶縁膜よりも厚い膜厚を有している。これにより、動作速度の向上など、論理回路の性能向上を図りつつ、アクセスTr123におけるゲートリーク電流を低減することができる。

【0136】

本実施形態のDRAMでは、アクセスTr123及びセルキャパシタをnチャネル型MOSFETで構成したため、第1の実施形態のDRAMとは制御が異なる部分がある。以下、本実施形態のDRAMの動作について説明する。

【0137】

まず、セルキャパシタ124はセルプレート電極126を有しており、該セルプレート電極126の電位は、動作期間を通してセルプレート電位 V_{Cp} （= V_{DD} ）となっている。これにより、セルキャパシタ124が常にチャネル形成状態に保たれ、ビット線122からメモリセルストレージノード127への書き込み電位によらず、セルキャパシタ124のセル容量を安定的に確保している。本実施形態では、セルキャパシタ124のしきい値が0V以下であるので、セルプレート電位 V_{Cp} は電源電圧 V_{DD} または電源電圧 V_{DD} に近い値に設定できるようになっている。セルプレート電位 V_{Cp} を V_{DD} とする場合、従来よりも電源回路の数を減らせることになるので、回路面積を縮小することが可能になる。

【0138】

また、アクセスTr123とセルキャパシタ124に共通の基板またはウェル電極125の電位が、動作時を通じて接地電位 V_{SS} となっているため、アクセスTr123やセルキャパシタ124の基板バイアス効果を抑える構成となっている。さらに、本実施形態のDRAMメモリセルにおいては、アクセスTr123がデプレッション型MOSFETであるので、通常のMOSFETを用いる場合に比べて動作マージンが大きくなっている。そのため、アクセスTr123をオン状態にするための電位が電源電位 V_{DD} とし、昇圧電位を用いなくても書き込み

及び読み出し動作が可能となっている。これにより、さらに電源数を減らすことができ、回路面積の縮小化を図ることができる。

【0139】

図12は、“0”のデータを読み出す際の本実施形態のDRAMの動作概念図である。

【0140】

同図に示すように、データの読み出し時には、ワード線121の電位が負昇圧電位 V_{BB} から電源電位 V_{DD} へと変化し、アクセス Tr_{123} がオン状態になる。すると、“0”の記憶情報がアクセス Tr_{123} に接続されたビット線122に読み出され、該ビット線122の電位がわずかに下がる。次いで、センスアンプがビット線122対間の電位差を増幅し、ビット線122対の一方の電位を接地電位 V_{SS} とし、他方の電位を電源電位 V_{DD} にする。そして、この増幅された記憶情報を外部に出力することで、読み出し動作が行われる。なお、書き込み動作については、ワード線121の動作は読み出し時と同様であるが、データ転送の経路は読み出し動作と逆となる。

【0141】

本実施形態のDRAMでは、データの読み出し時または書き込み時において、活性化されたワード線121には電源電位 V_{DD} が印加されている。このとき、“1”のデータを書き込む際にメモリセルストレージノード127にかかる電圧を V_H 、“0”のデータを書き込む際にかかる電圧を V_L とすると、 $V_H = V_{DD} - V_{th}$ ($V_{th} < 0V$ の時は $V_H = V_{DD}$)、 $V_L = V_{SS}$ となる。ここで、 V_{th} はアクセス Tr_{123} のしきい値を意味する。

【0142】

特に、本実施形態のDRAMでは、“1”データの書き込みにおいて、アクセス Tr_{123} の V_{th} が0Vまたは負の値（デプレッション型 Tr ）であるため、ビット線102の“1”情報を電荷ロスなく書き込むことができる。

【0143】

以上のように、アクセス Tr 及びセルキャパシタとしてnチャネル型MOSFETを用いても、動作マージンの拡大や、データ書き込み時の電荷ロスの低減、

電源数を減らすことによる回路面積の縮小などの効果を得ることができる。

【0144】

なお、本実施形態のDRAMメモリセルにおいて、アクセスTr123及びセルキャパシタ124は必ずしもデプレッション型でなくてもよい。アクセスTr123及びセルキャパシタ124のしきい値が、同一チップ上に併設される論理回路中のnチャネル型MOSFETのしきい値よりも低ければ、動作マージンを従来よりも拡大することが可能である。しかし、電源数を従来と同じになるので、面積の低減が必要である場合にはデプレッション型MOSFETを用いることがより好ましい。

【0145】

また、本実施形態においても、メモリセルを構成するMOSFETに代えて、MISFETを用いてもよい。

【0146】

次に、本実施形態のDRAMメモリセルの素子構造を簡単に説明する。

【0147】

図13は、本実施形態のDRAMメモリセルの構造を示す断面図である。同図に示すように、本実施形態のDRAMメモリセルは、第1の実施形態に係るDRAMメモリセルとほぼ同様の構成を有し、各層の導電型が逆になっている。

【0148】

すなわち、p型シリコンからなる半導体基板141と、半導体基板141にn型不純物を注入して設けられたN型ウェル130と、N型ウェル130内に設けられ、p型不純物を含むP型ウェル132と、P型ウェル132上に設けられ、n型不純物拡散層140とゲート絶縁膜とゲート電極とを有するアクセスTr123と、一方のn型不純物拡散層140をアクセスTr123と共有し、ゲート絶縁膜とセルプレート電極126とを有するセルキャパシタ124とを備えている。なお、ここではp型基板上にN型ウェル及びP型ウェルを設けるトリプルウェル構造を示した。他に、n型基板上にP型ウェルを設け、該P型ウェル上にMOSFETを設ける構成であってもよいが、トリプルウェル構造をとる方が、論理回路部からのノイズの影響を低減できるので、より好ましい。

【0149】

次に、本実施形態のセンスアンプ回路、ビット線プリチャージ・イコライズ回路及びカラム選択スイッチ回路について簡単に説明する。

【0150】

図14は、本実施形態のDRAMのうち、センスアンプ回路、ビット線プリチャージ・イコライズ回路、及びカラム選択スイッチを示す回路図である。本実施形態DRAMにおいて、センスアンプ回路200及びカラム選択スイッチ202の回路構成は第1の実施形態のDRAMと同一であるので、説明を省略する。

【0151】

図14に示すように、本実施形態のビット線プリチャージ・イコライズ回路201では、第1の実施形態で用いられたビット線イコライズトランジスタTP30、第1のビット線プリチャージトランジスタTP40及び第2のビット線プリチャージトランジスタTP50を、nチャネル型MOSFETであるビット線イコライズトランジスタTN50、第1のビット線プリチャージトランジスタTN60及び第2のビット線プリチャージトランジスタTN70で置き換えている。そして、ビット線イコライズトランジスタTN50、第1のビット線プリチャージトランジスタTN60及び第2のビット線プリチャージトランジスタTN70は、それぞれデプレッション型MOSFETで構成されている。

【0152】

これにより、動作マージンを大きくすることができるので、好ましい。

【0153】

図15は、図14に示す各信号、ビット線対及びワード線対の電位変化を示すタイミングチャート図である。同図は、“0”のデータを読み出す際のタイミングチャートを示している。

【0154】

まず、本実施形態の半導体記憶装置が非活性状態の時には、ビット線プリチャージ・イコライズ信号EQの電位が V_{DD} の“H”レベルとなっている。すると、ビット線プリチャージ・イコライズ回路を構成するNチャネル型MOSFETが導通するので、ビット線対BL、NBLの電位は、あらかじめ V_{BP} ($\equiv V_{DD}/2$)

）にプリチャージされた状態となる。なお、ここではカラム選択スイッチ 202 はオフとなっている。

【0155】

次に、半導体記憶装置が活性化状態になると、ビット線プリチャージ・イコライズ信号 EQ が” L ” レベルとなり、プリチャージ状態を終える。この時、ビット線プリチャージ・イコライズ信号 EQ の電位は、ビット線イコライズトランジスタ TN30、第1のビット線プリチャージトランジスタ TN40 及び第2のビット線プリチャージトランジスタ TN50 が確実にオフ状態になるように負昇圧電位 V_{BB} に設定される。

【0156】

その後、ロウアドレスによって選択されたワード線の電位が V_{BB} から V_{DD} に変化し、該ワード線が活性化されると、メモリセルが保持するデータがビット線対 BL、NBL に微小電位差として読み出される。これに続いて、第1のセンスアンプ信号 NSEP が” L ” レベルに、第2のセンスアンプ駆動信号 SEN が” H ” レベルに変化すると、センスアンプ回路 200 が活性化され、メモリセルから読み出された微小電位が増幅される。続いて、カラムアドレスによって選択されたカラム選択スイッチがオンとなり、データバス対 DL、NDL を通じてデータのやりとりが行われる。

【0157】

その後、半導体記憶装置を非活性状態にするには、まずワード線の電位を V_{DD} から V_{BB} に変化させて非活性化する。すると、ビット線上のデータのメモリセルへの再書き込みが完了し、その後、ビット線プリチャージ・イコライズ信号 EQ の電位が再び” H ” レベルとなることによってビット線プリチャージ・イコライズ動作が行われ、スタンバイ状態となる。

【0158】

以上の動作により、センスアンプ回路、ビット線プリチャージ・イコライズ回路、及びカラム選択スイッチは、nチャネル型 MOSFET で構成されたメモリセルを駆動することができる。なお、これ以外の周辺回路についての基本構成は第1の実施形態と変わらないので、説明を省略する。

【0159】

【発明の効果】

本発明のDRAMメモリセルによれば、同一チップ上に論理回路と共に設けられ、且つアクセストランジスタ及びセルキャパシタをpチャネル型MOSFETで構成する場合、アクセストランジスタ及びセルキャパシタのしきい値を論理回路内のpチャネル型MOSFETのしきい値よりも高く設定することにより、従来に比べて動作マージンを大きくとることができるので、微細化が進み、電源電圧が例えば1.5V程度に低くなっても、確実に記憶動作を行なうことが可能となる。特に、アクセストランジスタ及びセルキャパシタがデプレッション型MOSFETの場合、従来に比べて必要な電源回路数を減らすことができるので、構成の簡略化、小面積化を実現することが可能となる。また、アクセストランジスタ及びセルキャパシタをnチャネル型MOSFETにした場合もこれと同様の効果が得られる。

【0160】

また、本発明のDRAMにおいて、センスアンプ回路及びまたはビット線プリチャージ・イコライズ回路を構成するMOSFETのうち、センスアンプ駆動トランジスタを除くMOSFETをデプレッション型MOSFETとすることで、メモリセルの動作マージンが拡大された場合に、性能をより向上させることが可能になる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る半導体記憶装置のメモリセルを示す回路図である。

【図2】

第1の実施形態に係る半導体記憶装置において、“0”のデータを読み出す際の動作概念図である。

【図3】

第1の実施形態に係る半導体記憶装置のうち、メモリセルの断面図である。

【図4】

第 1 の実施形態に係る半導体記憶装置と論理回路とを備えた半導体集積回路を概略的に示す断面図である。

【図 5】

第 1 の実施形態に係る半導体記憶装置のうち、センスアンプ回路、ビット線プリチャージ・イコライズ回路、及びカラム選択スイッチを示す回路図である。

【図 6】

図 5 に示す各信号、ビット線対及びワード線対の電位変化を示すタイミングチャート図である。

【図 7】

第 1 の実施形態に係る半導体記憶装置の全体を示すブロック回路図である。

【図 8】

図 7 に示す本実施形態の半導体記憶装置における R o w デコーダ／ワードドライバの構成例を示す回路図である。

【図 9】

図 8 に示す内部昇圧電位 V_{pp} を発生するための昇圧電位発生回路の第 1 の構成例を示す回路図である。

【図 1 0】

図 8 に示す内部昇圧電位 V_{pp} を発生するための昇圧電位発生回路の第 2 の構成例を示すブロック回路図である。

【図 1 1】

第 2 の実施形態に係る半導体記憶装置のメモリセルを示す回路図である。

【図 1 2】

第 2 の実施形態に係る半導体記憶装置において、“ 0 ” のデータを読み出す際の動作概念図である。

【図 1 3】

第 2 の実施形態に係る半導体記憶装置のうち、メモリセルの断面図である。

【図 1 4】

第 2 の実施形態に係る半導体記憶装置のうち、センスアンプ回路、ビット線プリチャージ・イコライズ回路、及びカラム選択スイッチを示す回路図である。

【図 15】

図 14 に示す各信号、ビット線対及びワード線対の電位変化を示すタイミングチャート図である。

【図 16】

一般的な半導体記憶装置のメモリセルを示す回路図である。

【符号の説明】

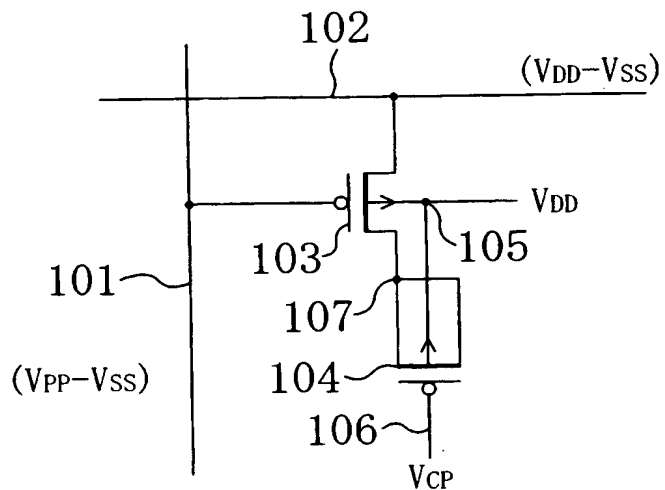
101, 121, 302	ワード線
102, 122	ビット線
103, 123	アクセストランジスタ
104, 124	セルキャパシタ
105, 125	基板（ウエル）電位
106, 126	セルプレート電極
107, 127	メモリセルストレージノード
200	センスアンプ回路
201	ビット線プリチャージ・イコライズ回路
202	カラム選択スイッチ
301	メモリセルアレイ
303	ビット線対
304	メモリセル
305	センスアンプ列
306	C o l u m n デコーダ
307	リードアンプ・ライトアンプ（・ I O セレクション）
308	R o w デコーダ／ワードドライバ
309	R o w アドレスプリデコーダ
310	C o l u m n アドレスプリデコーダ
311	R o w アドレスバッファ
312	C o l u m n アドレスバッファ
313	タイミング制御回路
401	R o w デコーダ

402	ワードドライバ
403	アドレスプリデコード信号
404	ワードドライバ駆動信号
501	基準電位発生回路
502	出力回路
511	電圧検知回路
512	オシレータ及び制御回路
513	チャージポンプ回路
Vref1	第1の基準電位
Vref2	第2の基準電位
V _{DD}	(正の) 電源電位
V _{SS}	接地電位
V _{CP}	セルプレート電位
V _{PP}	昇圧電位
V _{BP}	ビット線プリチャージ電位
V _{D3}	外部電源電位
BL・NBL	ビット線対
DL・NDL	データバス対
TP00~n	P型センスアンプ駆動トランジスタ
TP10~n	第1のP型センスアンプトランジスタ
TP20~n	第2のP型センスアンプトランジスタ
TN00	N型センスアンプ駆動トランジスタ
TN10~n	第1のN型センスアンプトランジスタ
TN20~n	第2のN型センスアンプトランジスタ
TP30~n, TN50~n	ビット線イコライズトランジスタ
TP40~n, TN60~n	第1のビット線プリチャージトランジスタ
TP50~n, TN70~n	第2のビット線プリチャージトランジスタ
TN30~n	カラム選択スイッチ
NSEP	第1のセンスアンプ信号

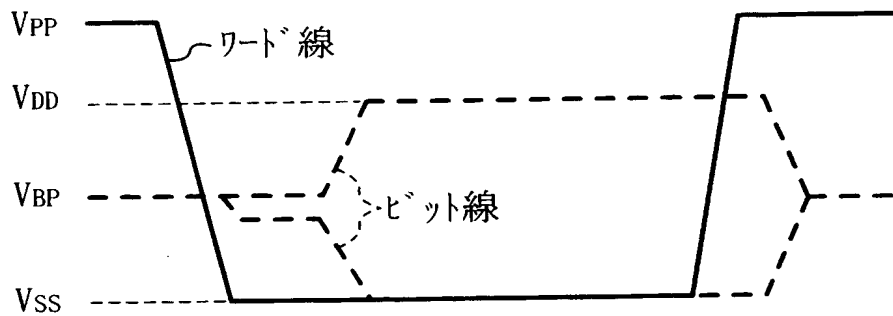
SEN	第 2 のセンスアンプ信号
EQ	ビット線プリチャージ・イコライズ信号
CSL ₀ ~ _n	カラム選択制御信号

【書類名】 図面

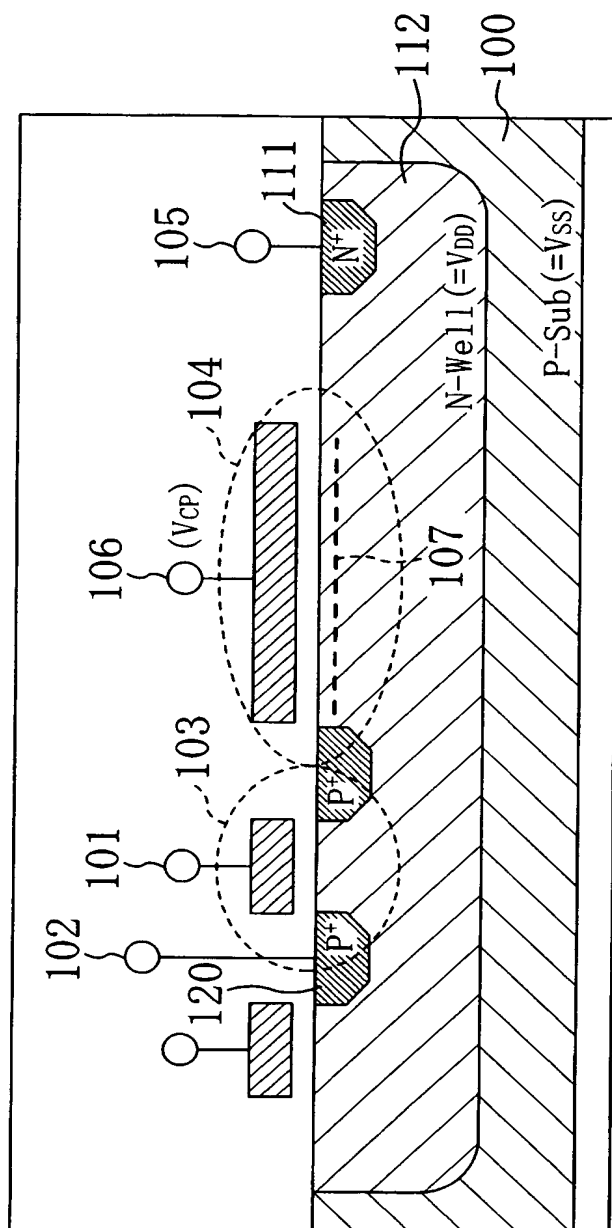
【図 1】



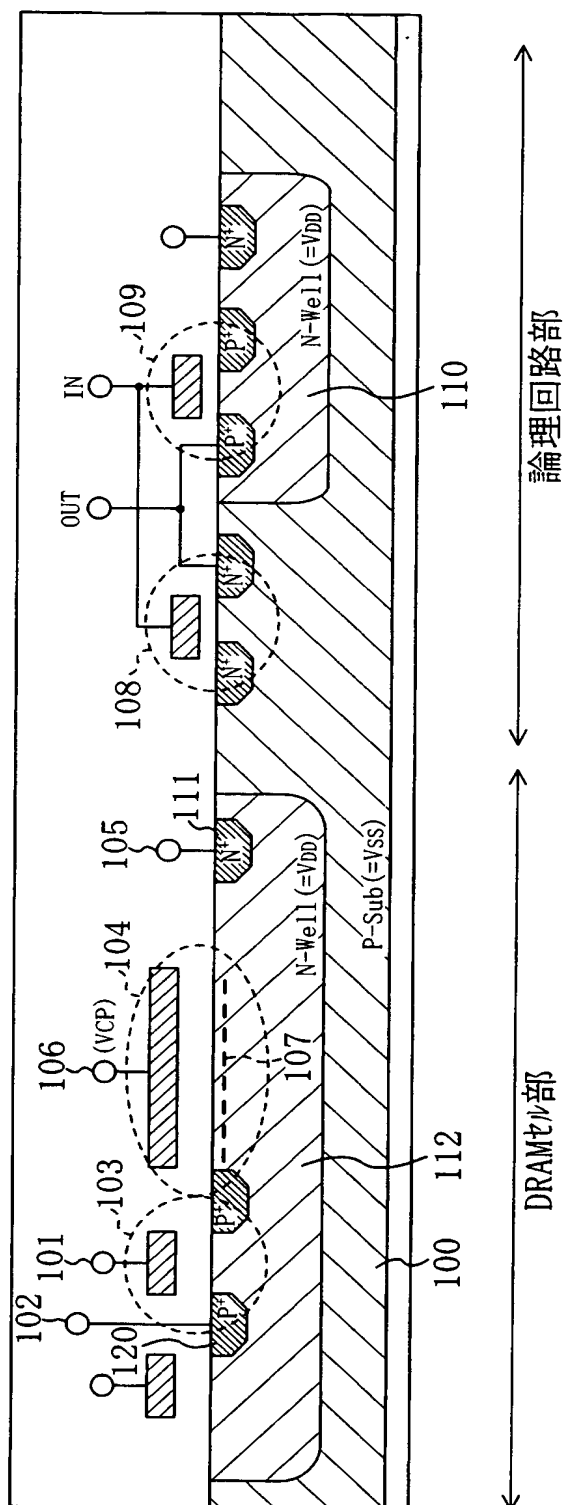
【図 2】



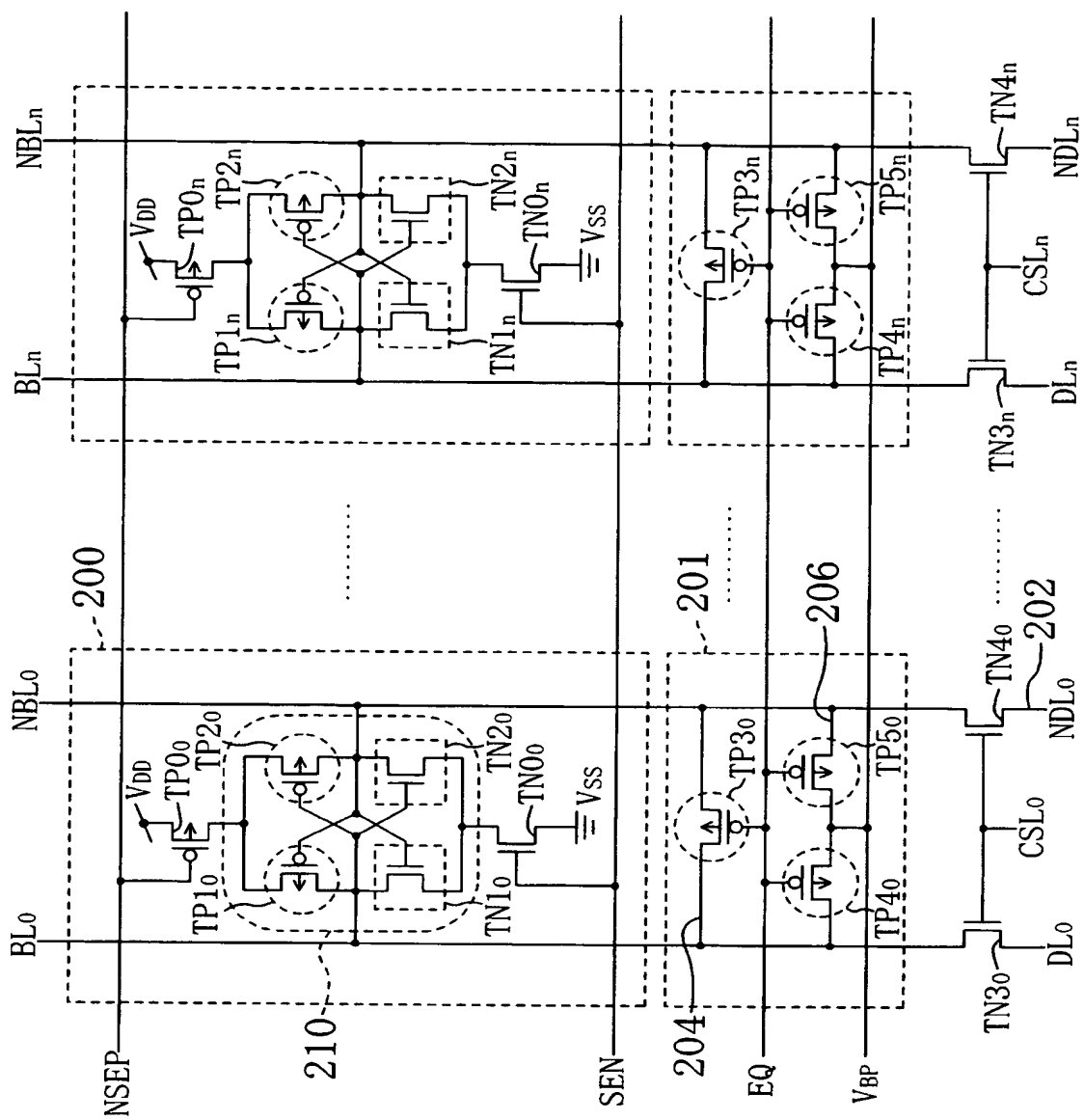
【図 3】



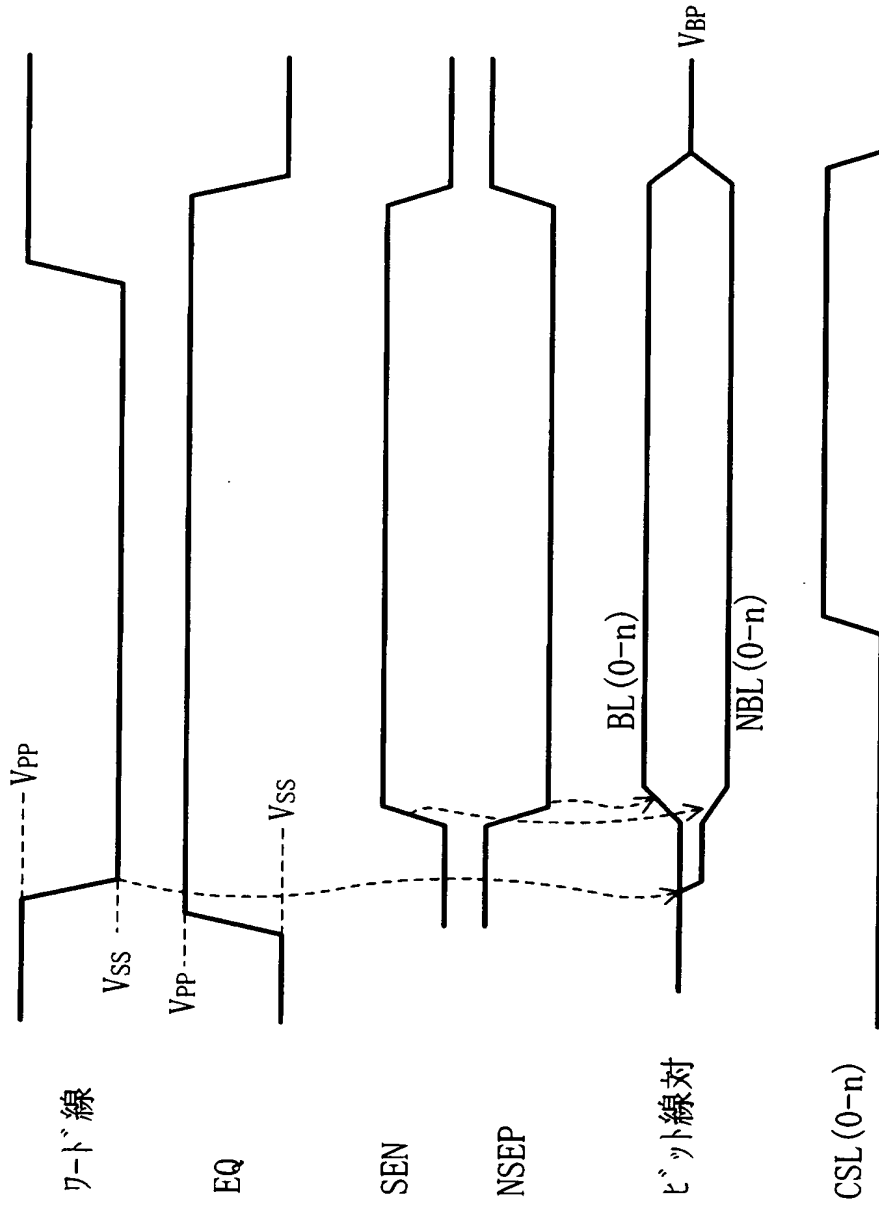
【図 4】



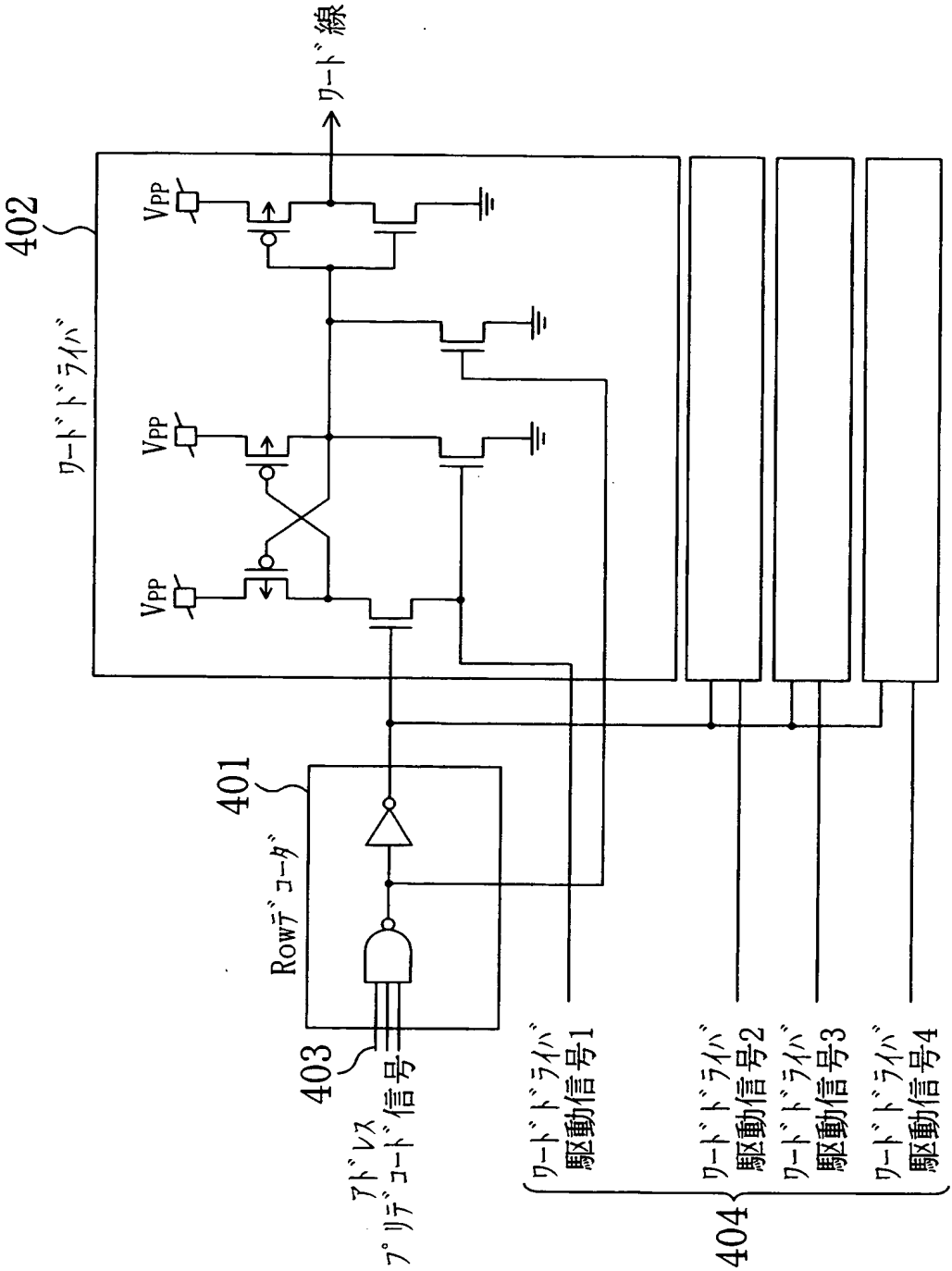
【図 5】



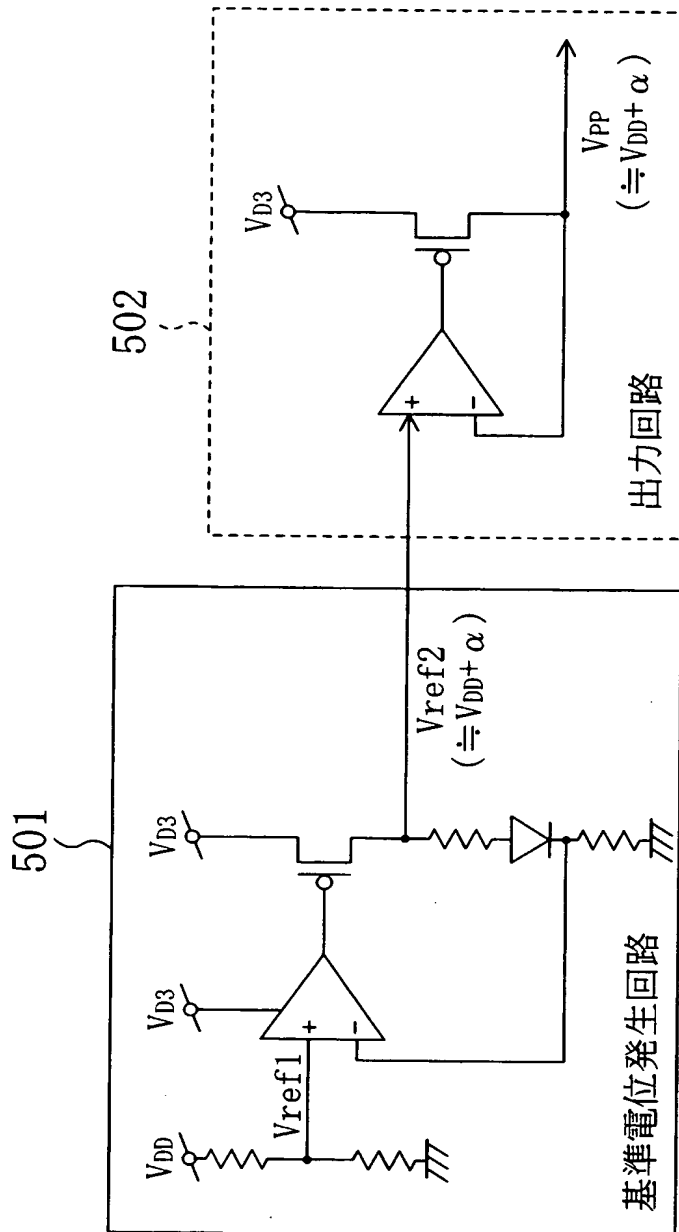
【図 6】



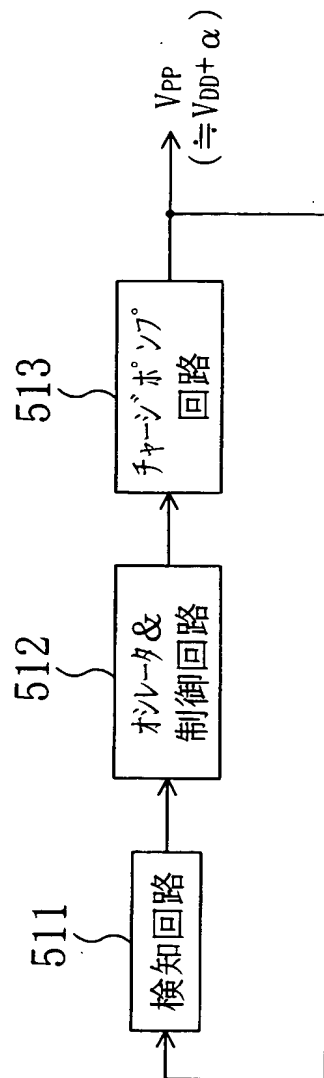
【図 8】



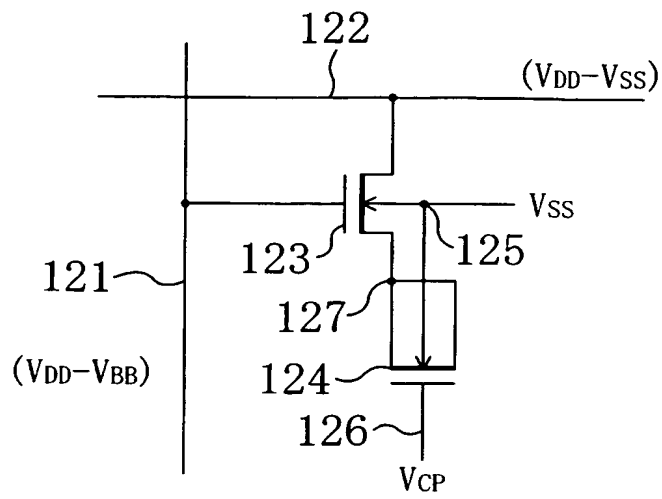
【図 9】



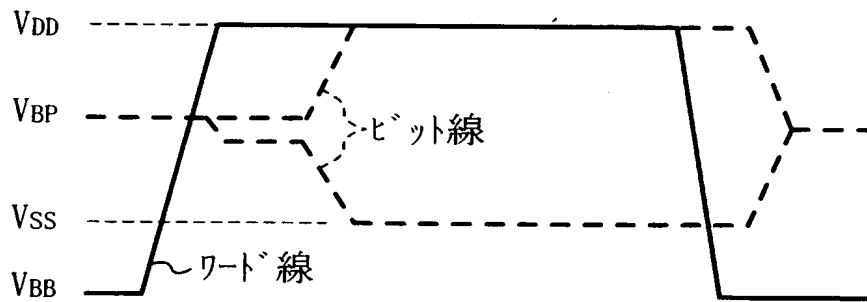
【図 10】



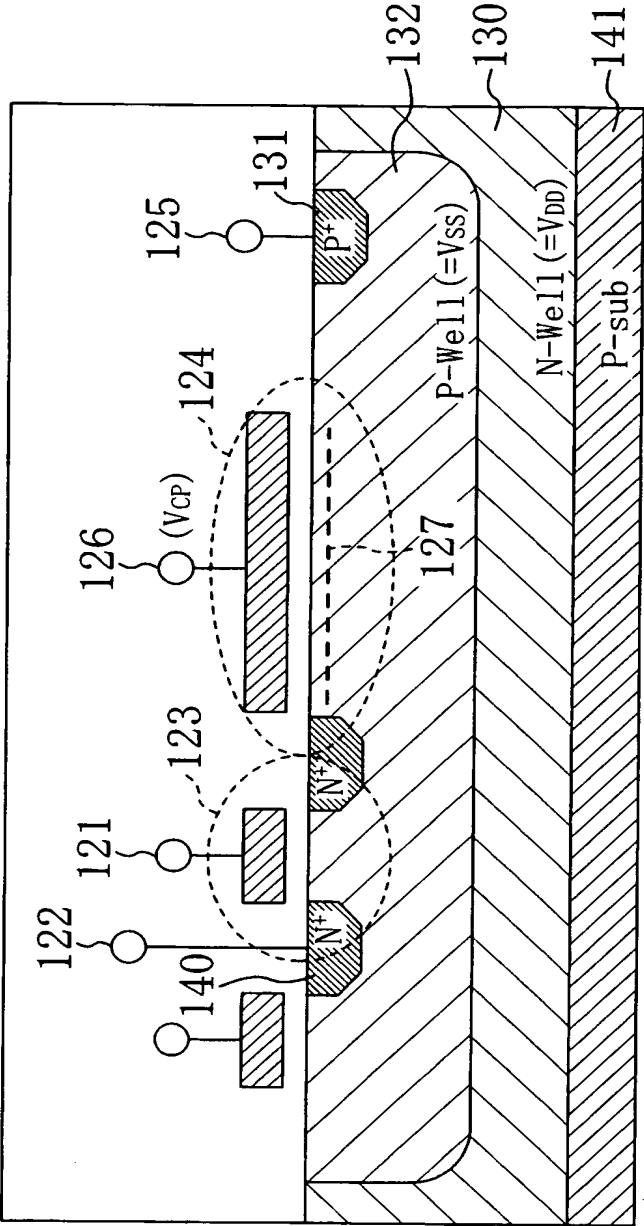
【図 11】



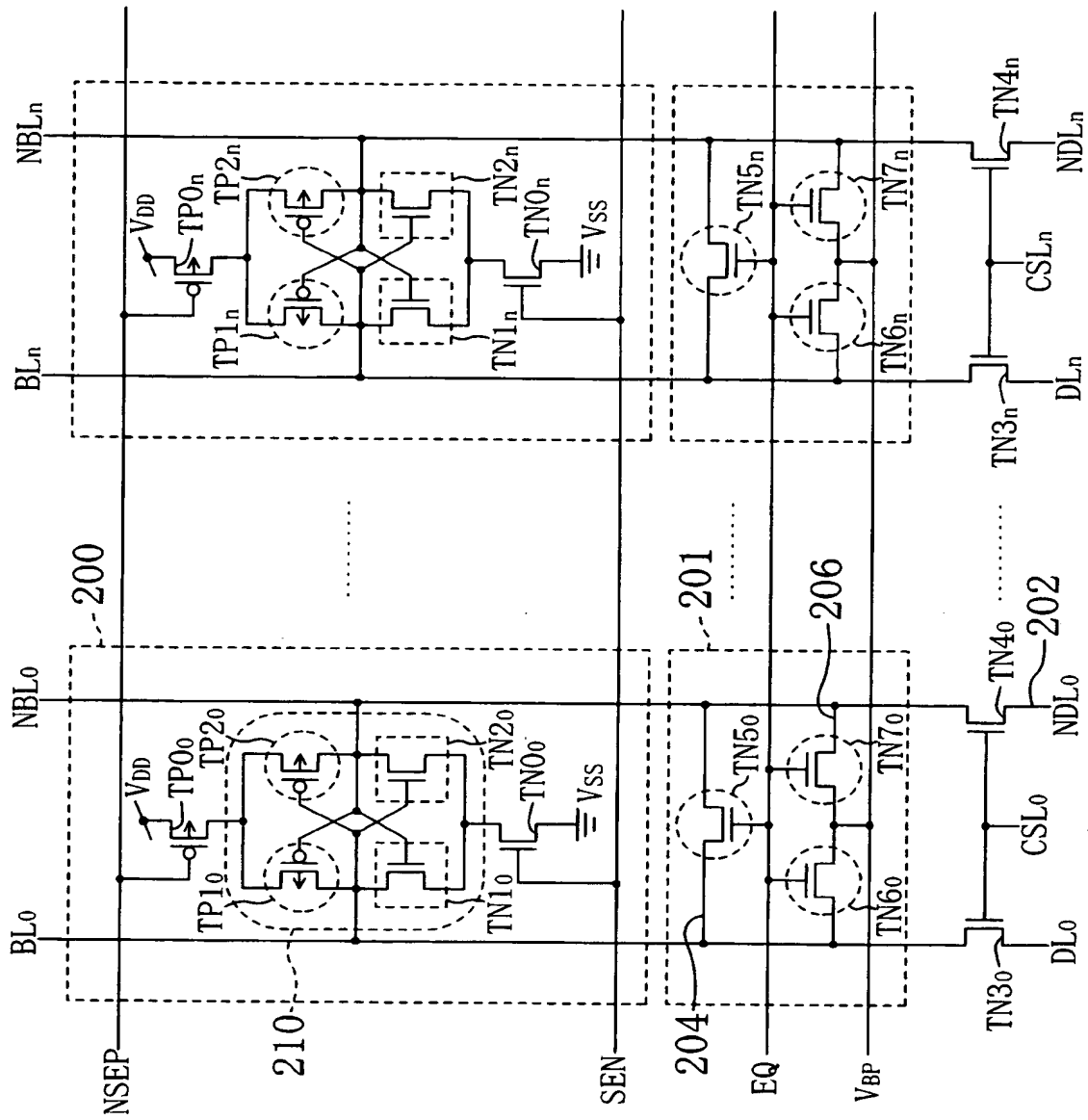
【図 12】



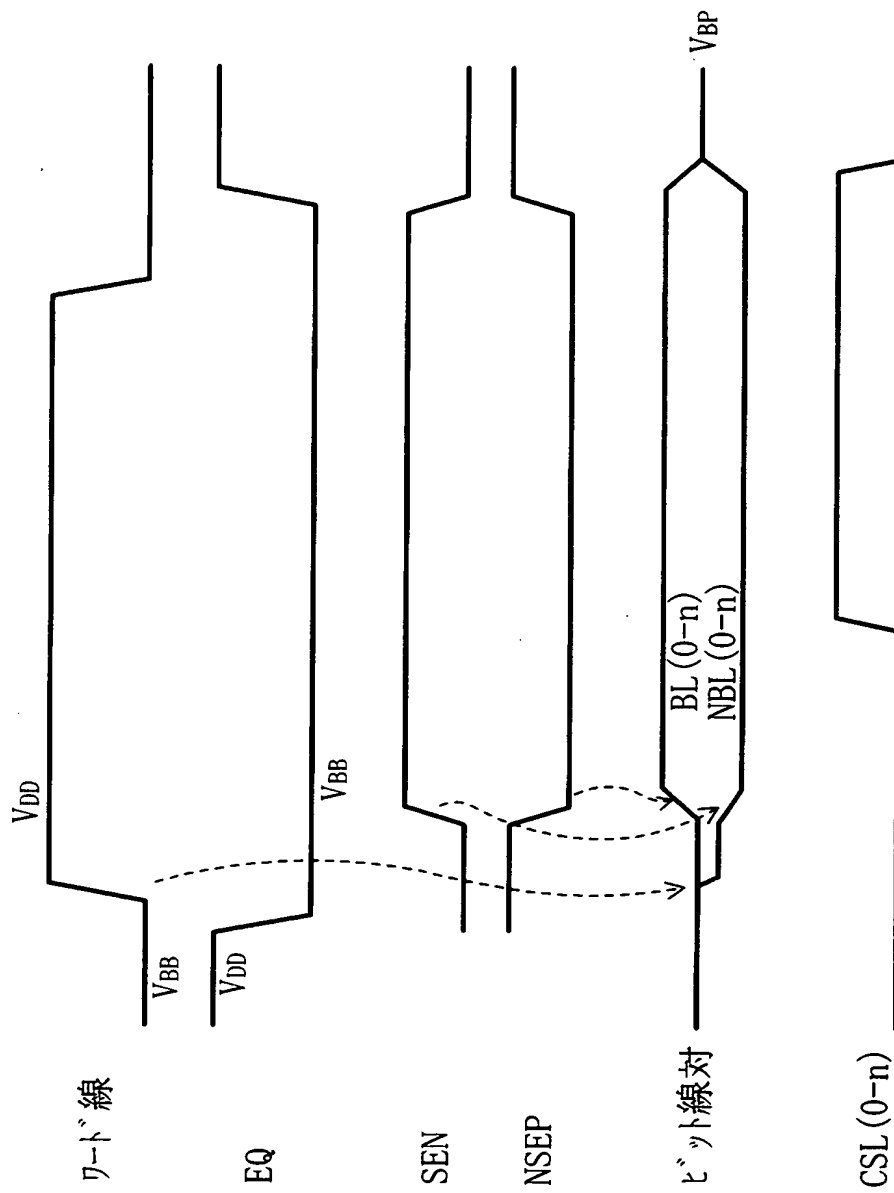
【図 13】



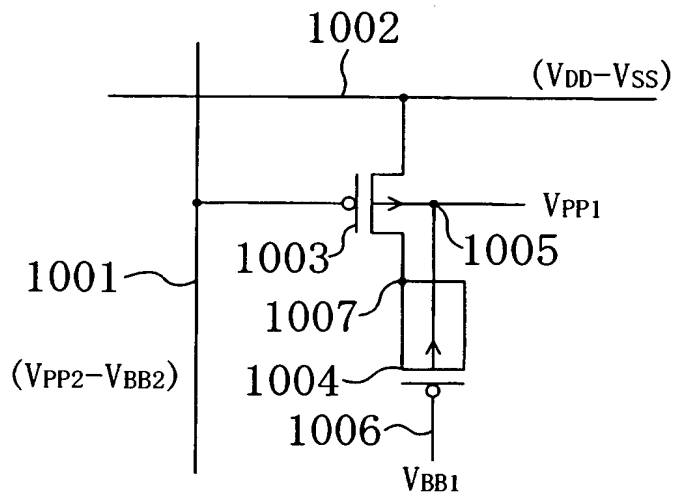
【図 14】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 電源電圧が低電圧化しても動作可能であり、簡単な構成で実現でき、且つ論理プロセスで容易に形成可能な半導体記憶装置を提供する。

【解決手段】 アクセスTr103及びセルキャパシタ104とで構成されるDRAMメモリセルにおいて、アクセスTr103及びセルキャパシタ104にデプレッション型MOSFETを用いる。従来に比べて動作マージンを拡大でき、必要となる電源数も従来より少なくすることができる。

【選択図】 図1

特願 2 0 0 2 - 3 7 9 2 3 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社